

日本国特許庁
JAPAN PATENT OFFICE

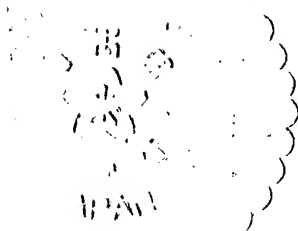
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 7日
Date of Application:

出願番号 特願2003-030694
Application Number:
[ST. 10/C]: [JP2003-030694]

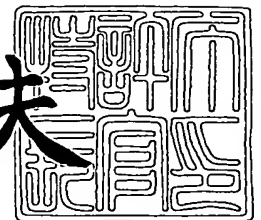
出願人 株式会社ルネサステクノロジ
Applicant(s):



2003年10月22日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3087007

【書類名】 特許願

【整理番号】 H02018391

【提出日】 平成15年 2月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G06K 17/00

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 塩田 茂雅

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 後藤 啓之

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 ▲洪▼谷 洋文

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 原 郁夫

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置

【特許請求の範囲】

【請求項 1】 1 つ以上の半導体メモリと、動作プログラムに基づいて前記 1 つ以上の半導体メモリに格納されたデータを読み出し、所定の処理やデータの書き込み動作指示などを行う情報処理部とを備えた記憶装置であって、

前記情報処理部は、外部から緊急停止信号が入力されると、処理中の動作を停止するとともに、外部からのすべての処理要求に応答しない無応答状態となることを特徴とする記憶装置。

【請求項 2】 請求項 1 記載の記憶装置において、前記情報処理部における無応答状態は、前記記憶装置の再起動により解除されることを特徴とする記憶装置。

【請求項 3】 1 つ以上の半導体メモリと、動作プログラムに基づいて前記 1 つ以上の半導体メモリに格納されたデータを読み出し、所定の処理やデータの書き込み動作指示などを行う情報処理部とを備えた記憶装置であって、

前記情報処理部は、

外部電源電圧から内部電源電圧を生成し、前記半導体メモリ、および前記情報処理部に供給する電源電圧部と、

前記電源電圧部が生成した内部電源電圧が任意の電圧レベルになるとパワーオンリセット信号を出力する第 1 の電圧監視部と、

外部電源電圧が任意の電圧レベルになると緊急停止信号を出力する第 2 の電圧監視部とを設け、

前記情報処理部は、前記第 2 の電圧監視部から出力された緊急停止信号を受けると、処理中の動作を停止するとともに外部からのすべての処理要求に応答しない無応答状態となり、前記第 1 の電圧監視部から出力されたパワーオンリセット信号を受けると、リセット処理を行うことを特徴とする記憶装置。

【請求項 4】 1 つ以上の半導体メモリと、動作プログラムに基づいて前記 1 つ以上の半導体メモリに格納されたデータを読み出し、所定の処理やデータの書き込み動作指示などを行う情報処理部とを備えた記憶装置であって、

前記情報処理部は、
補助用の電源電圧を供給する電源供給部と、
外部電源電圧が任意の電圧レベルになると緊急停止信号を出力するとともに、
前記外部電源電圧から前記電源供給部の電源電圧に切り替えて、前記半導体メモリ、および前記情報処理部に供給する電源切替部と、
前記外部電源電圧が任意の電圧レベルになるとパワーオンリセット信号を出力する第 1 の電圧監視部とを設け、

前記情報処理部は、前記電源切替部から出力された緊急停止信号を受けると、
処理中の動作を停止するとともに外部からのすべての処理要求に応答しない無応答状態となり、前記第 1 の電圧監視部から出力されたパワーオンリセット信号を受けるとリセット処理を行うことを特徴とする記憶装置。

【請求項 5】 請求項 1 ～ 4 のいずれか 1 項に記載の記憶装置において、前記緊急停止信号がリード、またはライト動作時のデータ転送処理中に入力された場合、前記情報処理部は、データ転送処理を安全終了させた後に前記無応答状態となることを特徴とする記憶装置。

【請求項 6】 請求項 1 ～ 5 のいずれか 1 項に記載の記憶装置において、前記情報処理部は、前記無応答状態となった際に外部接続されたホストに対して終了通知、エラー通知、あるいはビジー通知のいずれかを通知することを特徴とする記憶装置。

【請求項 7】 1 つ以上の半導体メモリと、動作プログラムに基づいて前記 1 つ以上の半導体メモリに格納されたデータを読み出し、所定の処理やデータの書き込み動作指示などを行う情報処理部とを備えた記憶装置であって、

前記情報処理部は、誤データの転送モードを設定する転送機能設定データを記憶する転送モード記憶部を有し、リード／ライト動作時のデータ転送処理の際に前記転送モード記憶部の転送機能設定データを参照し、前記転送機能設定データの誤データ転送機能が有効に設定されている際には、転送データに誤データが含まれていても転送処理を実行することを特徴とする記憶装置。

【請求項 8】 請求項 7 記載の記憶装置において、
前記転送モード記憶部が、レジスタよりなり、外部入力されるコマンドによっ

て前記転送機能設定データが設定されることを特徴とする記憶装置。

【請求項 9】 請求項 7 記載の記憶装置において、

前記転送モード記憶部は、前記半導体メモリの一部の記憶領域からなり、

前記情報処理部は、データ転送の際に前記半導体メモリの記憶領域に記憶された転送機能設定データを参照し、誤データ転送機能が有効に設定されているデータの場合に、転送データに誤データが含まれていても転送処理を実行することを特徴とする記憶装置。

【請求項 1 0】 請求項 7 または 8 記載の記憶装置において、

前記情報処理部は、誤データの訂正を行うエラーデータ検出訂正部を備え、

前記エラーデータ検出訂正部は、前記転送データに誤データが含まれているか否かを検出し、誤データが含まれている際に前記誤データが訂正可能であれば、前記誤データを訂正して転送し、前記誤データが訂正不可の際には、前記誤データを訂正せずに転送することを特徴とする記憶装置。

【請求項 1 1】 1 つ以上の半導体メモリと、動作プログラムに基づいて前記 1 つ以上の半導体メモリに格納されたデータを読み出し、所定の処理やデータの書き込み動作指示などを行う情報処理部とを備えた記憶装置であって、

前記半導体メモリからの読み出しの際、前記半導体メモリから読み出したデータにエラーが含まれているか否かを判定するエラー判定部を有し、

前記半導体メモリから読み出したデータを前記エラー判定部でエラーの有無の判定を行い出力する第 1 読み出し動作と、エラーの有無の判定を行わず出力する第 2 読み出し動作とを有することを特徴とする記憶装置。

【請求項 1 2】 請求項 1 1 の記憶装置において、

前記エラー判定部はエラー訂正機能を有し、

前記第 1 読み出し動作において前記半導体メモリから読み出したデータにエラーが含まれていることが検出された場合、前記エラー訂正機能によりエラー訂正を行うことを特徴とする記憶装置。

【請求項 1 3】 請求項 1 2 の記憶装置において、

前記第 1 読み出し動作において、前記エラー判定部は前記半導体メモリから読み出したデータに検出されたエラーが前記エラー訂正機能により訂正可能である

場合は訂正を行い、所定時間内でのエラー訂正が不可能である場合はエラー訂正を行わないことを特徴とする記憶装置。

【請求項 14】 請求項 13 の記憶装置において、

前記第 1 読み出し動作において、前記エラー判定部は前記半導体メモリから読み出したデータに所定時間内でのエラー訂正が不可能なエラーを検出した場合、前記半導体メモリから読み出したデータをエラー訂正を行わずに出力することを特徴とする記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、記憶装置における信頼性の向上技術に関し、特に、不揮発性半導体メモリを用いて構成された記憶装置におけるデータ保護に適用して有効な技術に関するものである。

【0002】

【従来の技術】

パーソナルコンピュータや多機能端末機などの外部記憶メディアとして、たとえば、CF (Compact Flash) カード、スマートメディア、メモリスティックやマルチメディアカードなどの記憶装置が広く知られている。

【0003】

このような記憶装置におけるデータのリード／ライト処理では、該メモリカードへのデータの格納に際し、音声データや映像データについては書き込みエラーが発生した場合であっても再書き込みは行わず、連続して受け取るデータを順次書き込むことでデータのオーバフローを防止し、FATデータなどのデータに関しては書き込みエラーが発生した場合に代替領域の検索を行いデータの再書き込みを行うものがある（たとえば、特許文献 1 参照）。

【0004】

また、ホストが記憶装置から、壊れているデータのリード転送要求を行った場合、該記憶装置に ECC (Error Correcting Code) などの訂正機能があり、かつ訂正可能であれば、該記憶装置はデータを訂正して記憶

装置への書き換えた後ホストへの転送を行う。

【0005】

さらに、データの訂正が不可能であるか、または記憶装置にパリティチェックなどの誤り検出機能が備えられている場合には、エラーをホストに通知して処理が終了となる。

【0006】

【特許文献1】

特願 2001-334243 号公報

【0007】

【発明が解決しようとする課題】

ところが、上記のような記憶装置のリード／ライト処理技術では、次のような問題点があることが本発明者により見い出された。

【0008】

たとえば、パーソナルコンピュータなどのホストからデータのリード／ライト処理が行われている際に、何らかの理由によって外部電源電圧が不安定になると誤リード、あるいは誤ライトが発生してしまう恐れがある。

【0009】

この場合、ホストから記憶装置に対してデータ転送処理の中断するリセット処理によってデータのリード／ライト処理を中断することはできるが、該リセット処理が終了すると電源電圧が不安定であっても、ホストはリード／ライト処理を再び受け付けてしまうために、誤リード／誤ライトが発生してしまうという問題がある。

【0010】

また、ホストに異常動作が発生した場合、該ホストの異常を記憶装置に通知することができないために、誤ったデータの書き換え処理であっても記憶装置に誤データが記憶されてしまうという問題がある。

【0011】

記憶装置が ECC などによってデータの訂正を行う場合、データ訂正に伴う処理時間が長くなってしまい、ホストの待ち時間などが大きくなってしまい、リア

ルタイム性を損なう恐れがある。

【0012】

さらに、音声データや画像データなどでは大量のデータを転送する必要がある
ので、エラーを通知するよりも多少の誤データ（たとえば、音声の途切れや画像
のノイズなど）が含まれていても該データを連続して途切れなく転送することを
要求されることがある。

【0013】

本発明の目的は、データの転送処理中であっても、緊急停止要求に基づいてデ
ータを確実に保護し、信頼性を大幅に向上することのできる記憶装置を提供する
ことにある。

【0014】

また、本発明の他の目的は、データに応じてエラー訂正を行うか否かを判断し
、効率よくデータ転送を行うことのできる記憶装置を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添
付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば
、以下のとおりである。

(1) 1つ以上の半導体メモリと、情報処理部とを備えた記憶装置であって、該
情報処理部は、外部から緊急停止信号が入力されると、処理中の動作を停止する
とともに、外部からのすべての処理要求に応答しない無応答状態となるものであ
る。

【0017】

また、本願のその他の発明の概要を簡単に示す。

(2) 1つ以上の半導体メモリと、情報処理部とを備えた記憶装置であって、該
情報処理部は、誤データの転送モードを設定する転送機能設定データを記憶する
転送モード記憶部を有し、情報処理部は、リード／ライト動作時のデータ転送処

理の際に転送モード記憶部の転送機能設定データを参照し、転送機能設定データの誤データ転送機能が有効に設定されている際には、転送データに誤データが含まれていても転送処理を実行するものである。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0019】

(実施の形態1)

図1は、本発明の実施の形態1によるデータ記憶装置のブロック図、図2は、図1のデータ記憶装置におけるリードデータ転送中の緊急停止要求処理のフローチャート、図3は、図1のデータ記憶装置におけるライトデータ転送中に緊急停止信号が発行された際のフローチャート、図4は、図1のデータ記憶装置によるライトデータ転送中に緊急停止信号が発行された際のフローチャート、図5は、図1のデータ記憶装置に供給される電源電圧のシーケンス図、図6は、本発明の実施の形態1によるデータ記憶装置におけるリセット信号の接続例を示したブロック図、図7は、図6のデータ記憶装置におけるリセット信号と緊急停止信号とのシーケンス図、図8は、本発明の実施の形態1によるデータ記憶装置におけるリセット信号の他の接続例を示したブロック図、図9は、図8のデータ記憶装置を用いた信号処理の説明図である。

【0020】

本実施の形態1において、データ記憶装置1は、たとえば、フラッシュメモリなどを用いて構成されたメモリカードからなり、ホストである情報処理装置PCの外部記憶メディアとして用いられる。情報処理装置PCは、パーソナルコンピュータや多機能端末機などからなる。

【0021】

データ記憶装置（記憶装置）1は、図1に示すように、コントローラ（情報処理部）2、およびM個の半導体メモリ3から構成される。ここでは、半導体メモリ3がM個設けられた構成としたが、該半導体メモリは1つ以上であればよい。

【0022】

コントローラ 2 は、動作プログラムに基づいて半導体メモリ 3 に格納されたプログラムやデータなどを読み出し、所定の処理やデータの書き込み動作指示などを行う。

【0023】

半導体メモリ 3 は、たとえば、フラッシュメモリなどの不揮発性半導体メモリから構成されている。なお、半導体メモリ 3 は、フラッシュメモリ以外であってもよく、SRAM (Static Random Access Memory)、DRAM (Dynamic RAM)、MRAM (Magnetoresistive RAM)、EPROM (Erasable and Programmable Read Only Memory) などのデータを記憶できるメモリであればよい。

【0024】

本発明の実施の形態では、コントローラとメモリとを分離しているが、その 2 つおよび周辺部品を 1 つにした混載半導体としても構わない。

【0025】

コントローラ 2 と半導体メモリ 3 とは、半導体メモリバス MB を介して相互に接続されている。また、コントローラ 2 は、コントローラ制御回路 4、ならびに入出力回路 5 などから構成されている。コントローラ制御回路 4 は、入出力回路 5 の制御を司り、該入出力回路 5 は、半導体メモリ 3 と情報処理装置 PC とのデータのやり取りの制御を行う。

【0026】

さらに、情報処理装置 PC とコントローラ 2 とは、情報処理装置バス PCB を介して相互に接続されている。この情報処理装置バス PCB は、機械的結合手段を有し、電氣的に接続される接触タイプ、あるいは電波などの情報伝送媒体によって情報を伝達する非接触タイプのいずれであってもよい。

【0027】

コントローラ 2 のコントローラ制御回路 4 には、信号線 S が接続されている。この信号線 S も機械的結合手段を有し、電氣的に接続される接触タイプ、あるいは電波などの情報伝送媒体によって情報を伝達する非接触タイプのいずれであっ

てもよい。

【0028】

この信号線 S を介して該コントローラ制御回路 4 に外部から緊急停止信号が入力される。コントローラ 2 は、緊急停止信号を受け取るとリード／ライト動作時におけるデータ転送処理を中止する。

【0029】

次に、本実施の形態におけるデータ記憶装置 1 の作用について説明する。

【0030】

始めに、データ記憶装置 1 におけるリードデータ転送中の緊急停止要求処理について、図 2 のフローチャートを用いて説明する。

【0031】

まず、情報処理装置 PC からコントローラ 2 に対してデータ 0 ～ N のリード転送要求があると（ステップ S 101）、該コントローラ 2 は、半導体メモリ 3 に対してデータ 0 ～ N（図 1）のリード転送要求を行った後（ステップ S 102）、情報処理装置 PC にリードデータ転送通知を行う（ステップ S 103）。

【0032】

このリードデータ転送通知により、半導体メモリ 3 のデータがリードされ、コントローラ 2 を介して情報処理装置 PC にデータ 0 から順次、データが転送される（ステップ S 104）。

【0033】

このステップ S 104 の処理中に、たとえば、情報処理装置 PC にデータ K までのリード転送が終了した際に緊急停止を要求する緊急停止信号が信号線 S を介して入力されると（ステップ S 105）、コントローラ制御回路 4 は緊急停止信号を受けて直ちに転送処理を中止し、リードデータ転送終了を情報処理装置 PC に対して通知する（ステップ S 106）。このとき、リードデータ転送終了の通知は、正常終了、または異常終了のいずれであってもよい。

【0034】

リードデータ転送終了を情報処理装置 PC に対して通知した後、再び情報処理装置 PC からリードデータの転送要求があっても（ステップ S 107）、コント

ローラ 2 はデータを転送することなく、リードデータの転送不可能を情報処理装置 P C に対して通知する（ステップ S 1 0 8）。

【0035】

次に、データ記憶装置 1 におけるライトデータ転送中に緊急停止信号が発行された際の処理動作について、図 3 のフローチャートを用いて説明する。

【0036】

情報処理装置 P C からコントローラ 2 にデータ 0 ～ N のライト転送要求があると（ステップ S 2 0 1）、該コントローラ 2 は、半導体メモリ 3 に対してデータ 0 ～ N のライト転送要求を行う（ステップ S 2 0 2）。その後、情報処理装置 P C にライトデータ転送通知を行う（ステップ S 2 0 3）。

【0037】

このライトデータ転送通知により、情報処理装置 P C から半導体メモリ 3 に対してライトデータが順次転送される（ステップ S 2 0 4）。

【0038】

そして、ステップ S 2 0 4 の処理中において、たとえば、データ K までのライトデータ転送が終了した際に緊急停止を要求する緊急停止信号が信号線 S を介して入力されると（ステップ S 2 0 5）、コントローラ制御回路 4 はこの緊急停止信号を受けて直ちに転送処理を中止し、ライトデータ転送終了を情報処理装置 P C に対して通知する（ステップ S 2 0 6）。この場合も、ライトデータ転送終了の通知は、正常終了、または異常終了のいずれであってもよい。

【0039】

ライトデータ転送終了を情報処理装置 P C に対して通知した後、再び情報処理装置 P C からデータ 0 ～ N のライト転送要求があっても（ステップ S 2 0 7）、コントローラ 2 はデータを転送することなく、ライトデータの転送不可能を情報処理装置 P C に対して通知する（ステップ S 2 0 8）。

【0040】

次に、データ記憶装置 1 によるライトデータ転送中に緊急停止信号が発行された際の他の処理動作例を図 4 のフローチャートを用いて説明する。

【0041】

情報処理装置 P C がコントローラ 2 にデータ 0 ～ N のライト転送要求を行うと（ステップ S 3 0 1）、該コントローラ 2 は、半導体メモリ 3 に対してデータ 0 ～ N のライト転送要求を行い（ステップ S 3 0 2）、続いて情報処理装置 P C にライトデータ転送通知を行う（ステップ S 3 0 3）。

【0042】

このライトデータ転送通知により、情報処理装置 P C から半導体メモリ 3 に対してライトデータが順次転送される（ステップ S 3 0 4）。

【0043】

このステップ S 3 0 4 の処理中において、たとえば、データ K までのライトデータ転送が終了した際に緊急停止を要求する緊急停止信号が信号線 S を介して入力されると（ステップ S 3 0 5）、コントローラ制御回路 4 はこの緊急停止信号を受けて直ちに転送処理を中止し、情報処理装置 P C に対してビジー通知を行い（ステップ S 3 0 6）、情報処理装置 P C から次のコマンドが送信されないようにする。

【0044】

なお、図 4 においては、ライト転送時の処理について記載したが、リード転送時においても同様の処理を行う。

【0045】

図 5 は、緊急停止信号による緊急停止要求後のデータ記憶装置 1 に供給される電源電圧のシーケンス例を示した図である。

【0046】

図 5 においては、上方から下方にかけて、緊急停止信号、外部電源電圧 V C C、およびデータ記憶装置 1 に入力されるコントローラステータスのそれぞれのシーケンスを示している。

【0047】

まず、データ記憶装置 1 のアイドル時に情報処理装置 P C からデータ転送要求があると、それに基づいてデータ記憶装置 1 がデータ転送処理を行う。そのデータ転送処理中において、アクティブ（L o w レベル）の緊急停止信号が入力されると、データ記憶装置 1 が中断処理を実行し、いかなる処理も受け付けない処理

受け付け不可状態となる。

【0048】

この処理受け付け不可状態は、データ記憶装置1の電源電圧VCCをLowレベル（電源電圧VCCをOFF）とし、再び外部電源電圧をONすることにより、データ記憶装置1のリセット処理が行われて解除される。

【0049】

また、図6は、データ記憶装置1に対して情報処理装置PCがパワーオンリセット信号を送信する場合の接続例を示したブロック図である。

【0050】

この場合、情報処理装置PCとデータ記憶装置1間には、該情報処理装置PCから出力されるリセット信号線RSが入力されるように接続されている。

【0051】

図7は、図6のデータ記憶装置1におけるパワーオンリセット信号と緊急停止信号との動作処理の違いを示したシーケンス図である。

【0052】

図7においては、上方から下方にかけて、緊急停止信号、外部電源電圧VCC、およびデータ記憶装置1に入力されるコントローラステータスのそれぞれのシーケンスを示している。

【0053】

緊急停止信号による動作処理は図5の動作処理と同様である。また、情報処理装置PCからパワーオンリセット信号が入力された場合、アクティブ（Lowレベル）のパワーオンリセット信号が入力されると、データ記憶装置1はリセット処理の後、アイドル状態となり再びデータ転送処理などの受付を開始する。

【0054】

つまり、データ記憶装置1は、リセット処理後はアイドル状態となり、情報処理装置PCのデータ転送処理を受け付けるが、緊急停止信号による緊急停止処理後においては、データ転送処理を受け付けない。

【0055】

このため、データ転送処理中などにおいて、外部電源電圧レベルが不安定な

た場合などに緊急停止信号によって緊急停止処理を行うことにより、データ記憶装置 1 のデータを保護することができる。

【0056】

ここで、データ記憶装置 1 に入力される緊急停止信号は、図 8 に示すように、情報処理装置 P C から出力される構成としてもよい。この場合、情報処理装置 P C から出力される緊急停止信号は、信号線 S 1 を介してデータ記憶装置 1 に入力される。

【0057】

このように、情報処理装置 P C から緊急停止信号が出力される構成は、たとえば、図 9 に示すように、情報処理装置 P C がマルチタスク（タスク A，B）であるときに有効である。

【0058】

タスク A がデータ記憶装置 1 を占有している際に、該データ記憶装置 1 のデータを保護する必要が発生した場合、タスク B が情報処理装置バス P C B とは別に I/O（Input/Output）ポートなどを介してデータ記憶装置 1 に緊急停止信号を出力することができる。

【0059】

次に、図 10 は、データ記憶装置 1 a における他の例を示すブロック図である。

【0060】

この場合、データ記憶装置 1 a は、図 1 のデータ記憶装置 1 に、電源安定化 I C（電源電圧部）6、電圧監視 I C 7，8 が新たに設けられた構成となっている。

【0061】

電源安定化 I C 6 は、外部入力された外部電源電圧 V C C から内部電源電圧 V D D を生成し、内部電源線 N S を介してコントローラ 2、半導体メモリ 3、および電圧監視 I C（第 1 の電圧監視部）7 にそれぞれ供給する。

【0062】

電圧監視 I C 7 は、電源安定化 I C 6 が生成した内部電源電圧 V D D の電圧レ

ベルを監視し、異常がある場合にパワーオンリセット信号をコントローラ制御回路 4 に対して出力する。電圧監視 IC（第 2 の電圧監視部）8 には外部電源電圧 VCC が供給されており、該外部電源電圧 VCC に異常がある場合に緊急停止信号をコントローラ制御回路 4 に対して出力する。

【0063】

このデータ記憶装置 1 a における動作について、図 11 のシーケンス図を用いて説明する。

【0064】

この図 11 においては、上方から下方にかけて、外部電源電圧 VCC、内部電源電圧 VDD、電圧監視 IC 7 から出力されるパワーオンリセット信号、電圧監視 IC 8 から出力される緊急停止信号、ならびにデータ記憶装置 1 に入力されるコントローラステータスのそれぞれのシーケンスを示している。

【0065】

この図では、外部電源電圧 VCC が、正規の電圧レベル（VCC レベル）から GND（基準電位）レベルまで低下し、再び VCC レベルまで復帰している。

【0066】

まず、データ記憶装置 1 a がデータ転送処理中に、外部電源電圧 VCC がある電圧レベルまで低下すると、電圧監視 IC 8 は、外部電源電圧 VCC の電圧低下を検出して緊急停止信号をコントローラ制御回路 4 に対して出力する。

【0067】

この緊急停止信号を受けて、データ記憶装置 1 a は中断処理を実行し、いかなる処理も受け付けられない処理受け付け不可状態となる。

【0068】

その後も、外部電源電圧 VCC の電圧レベルが低下すると、それに伴い内部電源電圧 VDD も低下し、電圧監視 IC 7 が電圧低下を検出してパワーオンリセット信号をコントローラ制御回路 4 に出力し、続いて外部電源電圧 VCC が GND レベルとなる。

【0069】

再び、外部電源電圧 VCC の電圧レベルが上昇すると、それに伴って内部電源

電圧 V D D の電圧レベルも上昇する。電圧監視 I C 7 は内部電源電圧 V D D がある電圧レベル以上になるとパワーオンリセット信号を解除 (H i g h レベル) し、データ記憶装置 1 a のリセット処理が行われる。

【 0 0 7 0 】

続いて、リセット処理中において、電圧監視 I C 8 は外部電源電圧 V C C がある電圧レベル以上になると電圧監視 I C 8 は緊急停止信号をインアクティブ (H i g h レベル) にする。

【 0 0 7 1 】

ここで、リセット処理中においては、緊急停止信号が無視されているので、電源立ち上げ後、リセット処理が終了するとデータ記憶装置 1 a はアイドル状態となる。

【 0 0 7 2 】

また、図 1 2 のデータ記憶装置 1 b は、電源安定化 I C 6 (図 1 0) の代わりに大容量のコンデンサ (電源供給部) 9 を設けた場合のブロック図である。

【 0 0 7 3 】

この場合、内部電源線 N S 間にコンデンサ 9 が接続されており、該内部電源線 N S よって内部電源電圧 V D D (=外部電源電圧 V C C) がコントローラ 2、半導体メモリ 3、および電圧監視 I C 7 に供給されている。電圧監視 I C 7 は、内部電源線 N S を介さずに直接外部電源電圧 V C C が供給されている。ここで、コンデンサ 9 の代わりにバッテリーなどを内部電源線 N S に接続するようにしてもよい。

【 0 0 7 4 】

図 1 3 は、データ記憶装置 1 b における動作例を示すシーケンス図である。

【 0 0 7 5 】

図 1 3 においては、上方から下方にかけて、外部電源電圧 V C C、内部電源線 N S を介して供給される内部電源電圧 V D D、電圧監視 I C 7 から出力されるパワーオンリセット信号、電圧監視 I C 8 から出力される緊急停止信号、ならびにデータ記憶装置 1 b に入力されるコントローラステータスのそれぞれのシーケンスを示している。

【0076】

データ記憶装置 1b がデータ転送処理中に、外部電源電圧 VCC がある電圧レベルまで低下すると、電圧監視 IC 8 が緊急停止信号をコントローラ制御回路 4 に対して出力する。この緊急停止信号を受けて、データ記憶装置 1b は中断処理を実行し、処理受け付け不可状態となる。

【0077】

このとき、内部電源線 NS にはコンデンサ 9 が接続されているので、該内部電源線 NS を介して供給される内部電源電圧 VDD は、外部電源電圧 VCC よりもゆっくりと低下していくことになる。

【0078】

そして、電圧監視 IC 7 が内部電源電圧 VDD の電圧低下を検出してパワーオンリセット信号をコントローラ制御回路 4 に出力する。再び、外部電源電圧 VCC が GND レベルから上昇すると、電圧監視 IC 8 は外部電源電圧 VCC がある電圧レベル以上になると緊急停止信号をインアクティブ (High レベル) にする。

【0079】

その後、内部電源電圧 VDD があるレベル以上になると、電圧監視 IC 7 はパワーオンリセット信号を解除 (High レベル) し、データ記憶装置 1b のリセット処理が行われ、該データ記憶装置 1b がアイドル状態になる。

【0080】

図 14 は、他の構成例を示したデータ記憶装置 1c のブロック図である。

【0081】

この場合、データ記憶装置 1c は、電圧監視 IC 8 の代わりに緊急停止信号を出力する電源切替 IC (電源切替部) 10 が新たに設けられた点が、データ記憶装置 1b (図 12) と異なっている。

【0082】

電源切替 IC 10 は、外部電源電圧 VCC の電圧レベルを監視し、ある電圧レベル以下になると、内部電源線 NS を介した内部電源電圧 VDD の供給元をコンデンサ 9 に切り替えると同時に、緊急停止信号をコントローラ制御回路 4 に対し

て出力する。ここでも、コンデンサ 9 は、大容量コンデンサではなく、バッテリーなどであってもよい。

【 0 0 8 3 】

図 1 5 は、データ記憶装置 1 c の動作例を示すシーケンス図である。

【 0 0 8 4 】

図 1 5 においては、上方から下方にかけて、外部電源電圧 V C C、内部電源線 N S を介して供給される内部電源電圧 V D D、電圧監視 I C 7 から出力されるパワーオンリセット信号、電源切替 I C 1 0 から出力される緊急停止信号、ならびにデータ記憶装置 1 に入力されるコントローラステータスのそれぞれのシーケンスを示している。

【 0 0 8 5 】

データ記憶装置 1 c がデータ転送処理中に、外部電源電圧 V C C が低下すると、電源切替 I C 1 0 が、電源供給元を外部電源電圧 V C C からコンデンサ 9 に切り替える。これにより、データ記憶装置 1 c は、外部電源電圧 V C C の影響を受けることを少なくすることができる。

【 0 0 8 6 】

また、電源切替 I C 1 0 は緊急停止信号をコントローラ制御回路 4 に対して出力するとともに、電圧監視 I C 7 がパワーオンリセット信号をコントローラ制御回路 4 に対して出力する。コントローラ 2 は、緊急停止信号を受けて中断処理を実行し、処理受け付け不可状態となる。

【 0 0 8 7 】

その後、外部電源電圧 V C C があるレベル以上になると、電源切替 I C 1 0 がパワーオンリセット信号を解除 (H i g h レベル) するとともに、電圧監視 I C 7 が緊急停止信号をインアクティブ (H i g h レベル) とする。

【 0 0 8 8 】

これによって、データ記憶装置 1 a のリセット処理が行われ、データ記憶装置 1 b がアイドル状態になる。

【 0 0 8 9 】

図 1 6 は、緊急停止信号と外部リセット信号とを兼用した場合の一例を示すデ

ータ記憶装置 1 d のブロック図である。

【0090】

データ記憶装置 1 d は、データ記憶装置 1 (図 1) の構成に、AND (論理積) 回路 11 を新たに設けた構成となる。

【0091】

この AND 回路 11 の一方の入力部には緊急停止信号が入力され、他方の入力部には情報処理装置 PC から出力される外部リセット信号が入力されるように接続されている。また、AND 回路 11 の出力信号は内部リセット信号となり、コントローラ 2 のコントローラ制御回路 4 に入力されるように接続されている。

【0092】

このデータ記憶装置 1 d における動作について、図 17 のシーケンス図を用いて説明する。

【0093】

図 17 においては、上方から下方にかけて、情報処理装置 PC から出力される外部リセット信号、緊急停止信号、AND 回路 11 から出力される外部リセット信号、およびコントローラステータスのそれぞれのシーケンスを示している。

【0094】

データ記憶装置 1 d がデータ転送処理中に、外部リセット信号 (Low レベル) が出力されると、AND 回路 11 の出力は Low レベルとなるので、内部リセット信号がアクティブとなり、データ記憶装置 1 d のリセット処理が行われる。

【0095】

リセット処理後、再びデータ転送処理中に、緊急停止信号 (Low レベル) が出力されると、AND 回路 11 の出力は Low レベルとなるので、内部リセット信号がアクティブとなり、データ記憶装置 1 d のリセット処理が行われる。

【0096】

このように、緊急停止信号を外部リセット信号と兼用することによって、コントローラ 2 に緊急停止信号を入力するための I/O ピンなどが不要となり、コストを抑えることができ、かつ機能を簡略化することができるのでコントローラ 2 の設計を容易化することができる。

【0097】

また、図18は、緊急停止要求を情報処理装置バスPCBを介して要求する場合の一例を示すデータ記憶装置1eのブロック図である。

【0098】

データ記憶装置1eにおいては、コントローラ2に緊急停止要求レジスタ（レジスタ）12が設けられている。この緊急停止要求レジスタ12は、情報処理装置PCが直接アクセスすることができるので、該緊急停止要求レジスタ12をデータを設定することにより、緊急停止要求をすることができる。図19は、コントローラ2に設けられ、情報処理装置PCがアクセスすることのできるレジスタの一例を示す説明図である。

【0099】

この緊急停止要求レジスタ12を介することにより、データ記憶装置1eを処理受け付け不可状態からアイドル状態などに復帰させる際にリセット処理などを行わなくても、自由に復帰させることができる。

【0100】

さらに、図20に示すように、コントローラ2に緊急停止要求レジスタ12を新たに設けずに、データ読み出し／書き込みを要求する処理要求レジスタ（レジスタ）12aなどの一部を用いて緊急停止要求を設定するようにしてもよい。この処理要求レジスタ12aは、図21に示すように、情報処理装置PCがアクセスすることのできる既存のレジスタの1つである。

【0101】

それにより、本実施の形態1によれば、データ転送処理中であっても、緊急停止要求処理により誤データの転送や誤データへのデータの書き換えなどを防止することができるので、データ記憶装置の信頼性を向上することができる。

【0102】

また、本実施の形態においては、リード／ライトのデータ転送処理時について記載したが、たとえば、データを転送しない処理要求、アイドル、リセット処理中、スリープ状態などのその他のいずれの場合であっても、緊急停止要求の受付は可能である。

【0 1 0 3】

(実施の形態 2)

図 2 2 は、本発明の実施の形態 2 によるデータ記憶装置のブロック図、図 2 3 は、図 2 2 のデータ記憶装置において誤データ転送機能が有効設定されている際のリードデータ転送のフローチャート、図 2 4 は、図 2 2 のデータ記憶装置において誤データ転送機能が無効設定された際のリードデータ転送のフローチャート、図 2 5 は、図 2 2 のデータ記憶装置において訂正データを転送する誤データ訂正転送機能が有効設定されている際のリードデータ転送のフローチャート、図 2 6 は、図 2 2 のデータ記憶装置に設けられたコントローラのリード転送要求時におけるフローチャート、図 2 7 は、図 2 2 のコントローラのリード転送要求時における他の動作例を示すフローチャート、図 2 8 は、本発明の実施の形態 2 によるデータ記憶装置による転送機能設定データの変更例の一例を示すフローチャート、図 2 9 は、本発明の実施の形態 2 によるデータ記憶装置による転送機能設定データの変更例の他の例を示すフローチャート、図 3 0 は、本発明の実施の形態 2 によるデータ記憶装置に設けられた半導体メモリに転送機能設定データを設定した際のデータ構造の一例を示す説明図、図 3 1 は、本発明の実施の形態 2 によるデータ記憶装置に設けられた半導体メモリに転送機能設定データを設定した際のデータ構造の他の例を示す説明図、図 3 2 は、本発明の実施の形態 2 によるデータ記憶装置による設定転送機能の切替の一例を示すフローチャート、図 3 3 は、本発明の実施の形態 2 による半導体メモリに転送機能設定データを設定したデータ記憶装置のブロック図、図 3 4 は、図 3 3 のデータ記憶装置によるライト転送時の転送フラグの設定処理を示すフローチャート、図 3 5 は、図 3 4 において転送モードを設定した後のリード転送処理を示したフローチャートである。

【0 1 0 4】

本実施の形態 2 において、データ記憶装置（記憶装置）1 3 は、たとえば、フラッシュメモリなどを用いて構成されたメモリカードからなり、ホストである情報処理装置 P C の外部記憶メディアとして用いられる。情報処理装置 P C は、パーソナルコンピュータや多機能端末機などからなる。

【0 1 0 5】

データ記憶装置 13 は、図 22 に示すように、コントローラ（情報処理部）14、および半導体メモリ 15 から構成される。ここでは、半導体メモリ 15 が 1 つであるが、該半導体メモリは複数個であってもよい。

【0106】

コントローラ 14 は、動作プログラム、および情報処理装置 PC の指示に基づいて半導体メモリ 15 に格納されたプログラムやデータなどを読み出し、所定の処理やデータの書き込み動作指示などを行う。

【0107】

半導体メモリ 15 は、たとえば、フラッシュメモリなどの不揮発性半導体メモリから構成されている。なお、半導体メモリ 15 は、前記実施の形態 1 と同様に、フラッシュメモリ以外であってもよく、SRAM (Static Random Access Memory)、DRAM (Dynamic RAM)、MRAM (Magnetoresistive RAM)、EPROM (Erasable and Programmable Read Only Memory) などのデータを記憶できるメモリであればよい。

【0108】

本実施の形態では、コントローラとメモリとを分離しているが、その 2 つおよび周辺部品を 1 つにした混載半導体としても構わない。

【0109】

この半導体メモリ 15 には、アドレス（物理アドレス）0～n に対応して、データ記憶領域、およびエラー検出用データ領域がそれぞれ設けられている。データ記憶領域は、ユーザデータ（0）～（n）が格納される領域である。エラー検出用データ領域は、ユーザデータ（0）～（n）における ECC コードを格納する領域である。

【0110】

コントローラ 14 と半導体メモリ 15 とは、半導体メモリバス MB1 を介して相互に接続されている。情報処理装置 PC とコントローラ 14 とは、情報処理装置バス PCB を介して相互に接続されている。

【0111】

この情報処理装置バス PCB は、機械的結合手段を有し、電氣的に接続される接触タイプ、あるいは電波などの情報伝送媒体によって情報を伝達する非接触タイプのいずれであってもよい。

【0112】

また、コントローラ 14 は、コントローラ制御回路 16、入出力回路 17、転送モード切替参照メモリ（転送モード記憶部）18、およびエラーデータ検出訂正回路（エラーデータ検出訂正部）19 から構成されている。

【0113】

コントローラ制御回路 16 は、入出力回路 17、転送モード切替参照メモリ 18、ならびにエラーデータ検出訂正回路 19 の制御を司る。入出力回路 17 は、データバッファ 17a を備え、半導体メモリ 3、および情報処理装置 PC とのデータのやり取りの制御を司る。

【0114】

転送モード切替参照メモリ 18 は、誤データを転送するか否かを設定する転送機能設定データを格納する。転送モード切替参照メモリ 18 は、不揮発性／揮発性のいずれのメモリでもよい。または、ランダムゲートを使って構成するレジスタであってもよい。

【0115】

エラーデータ検出訂正回路 19 は、ECC などによって転送データのエラーを検出する。また、エラーの検出は、ECC だけでなく、たとえば、CRC (Cyclic Redundancy Check) やパリティチェックなどの簡単な検出機能であってもよい。

【0116】

次に、本実施の形態におけるデータ記憶装置 14 の作用について説明する。

【0117】

始めに、転送モード切替参照メモリ 18 が誤データ転送機能を有効にする設定が行われている際のリードデータの転送処理について、図 23 のフローチャートを用いて説明する。ここでは、半導体メモリ 13 におけるアドレス $k-1$ に格納されているユーザデータ ($k-1$) に誤データがあるものとする。

【0118】

まず、情報処理装置PCからコントローラ14に対してユーザデータ(k-1)のリード転送要求があると(ステップS401)、該コントローラ14は、半導体メモリ15に対してアドレスk-1のユーザデータ(k-1)のリード転送要求を行い(ステップS402)、その後、情報処理装置PCにリードデータ転送通知を行う(ステップS403)。

【0119】

このリードデータ転送通知により、半導体メモリ15のユーザデータ(k-1)がリードされ、コントローラ14を介して情報処理装置PCにデータ転送される(ステップS404)。この場合、誤データ転送機能が有効であるので、誤データが含まれたユーザデータ(k-1)は、すべて転送されることになる。

【0120】

そして、ユーザデータ(k-1)の転送が終了すると、コントローラ14は、リードデータ転送終了を情報処理装置PCに対して通知する(ステップS405)。このリードデータ転送終了の通知は、正常終了、または異常終了のいずれであってもよい。

【0121】

また、転送モード切替参照メモリ18が誤データ転送機能を無効にする設定になっている際のリードデータの転送処理について、図24のフローチャートを用いて説明する。ここでも、半導体メモリ13におけるアドレスk-1に格納されているユーザデータ(k-1)に誤データがあるものとする。

【0122】

情報処理装置PCからコントローラ14に対してユーザデータ(k-1)のリード転送要求があると(ステップS501)、該コントローラ14は、半導体メモリ15に対してアドレスk-1のユーザデータ(k-1)のリード転送要求を行った後(ステップS502)、コントローラ14によって半導体メモリ15のユーザデータ(k-1)がリードされる(ステップS503)。エラーデータ検出訂正回路19により誤データのチェックを行う。

【0123】

エラーデータ検出訂正回路 19 が、ユーザデータ (k-1) の誤データを検出すると、コントローラ 14 は、情報処理装置 PC に対してエラー終了を通知する (ステップ S504)。

【0124】

次に、転送モード切替参照メモリ 18 が、誤データを訂正した後に該訂正データを転送する誤データ訂正転送機能を有効にする設定になっている際のリードデータの転送処理について、図 25 のフローチャートを用いて説明する。ここでも、半導体メモリ 13 におけるアドレス k-1 に格納されているユーザデータ (k-1) に誤データがあるものとする。

【0125】

情報処理装置 PC からコントローラ 14 に対してユーザデータ (k-1) のリード転送要求があると (ステップ S601)、該コントローラ 14 が半導体メモリ 15 に対してアドレス k-1 のユーザデータ (k-1) のリード転送要求を行う (ステップ S602)。

【0126】

その後、コントローラ 14 が半導体メモリ 15 のユーザデータ (k-1) をリードし (ステップ S603)、エラーデータ検出訂正回路 19 がユーザデータ (k-1) のチェックを行う。

【0127】

そして、ユーザデータ (k-1) に誤データが検出されると、エラーデータ検出訂正回路 19 が誤データの訂正を行い、半導体メモリ 3 に対してのライト転送要求を行い (ステップ S604)、訂正したユーザデータ (k-1) を書き換える (ステップ S605)。

【0128】

図 25 の訂正後のユーザデータ (k-1) のデータを、アドレス k-1 に書き戻している。この半導体メモリ内およびその他半導体メモリ内に代替領域を設けて、そこにユーザデータ (k-1) のデータを代替してもよい。

【0129】

続いて、コントローラ 14 は情報処理装置 PC に対して、リードデータ転送通

知を行い（ステップS606）、訂正されたユーザデータ（ $k-1$ ）が転送される（ステップS607）。

【0130】

そして、ユーザデータ（ $k-1$ ）の転送が終了すると、コントローラ14は、リードデータ転送終了を情報処理装置PCに対して通知する（ステップS608）。この場合も、リードデータ転送終了の通知は、正常終了、または異常終了のいずれであってもよい。

【0131】

ここで、リード転送要求時のコントローラ14の動作について、図26のフローチャートを用いて説明する。

【0132】

まず、情報処理装置PCからリード転送要求があると、コントローラ制御回路16は、転送モード切替参照メモリ18の転送機能設定データを参照し、誤データであっても転送するか否かを判断する（ステップS701）。

【0133】

誤データでも転送する場合には、半導体メモリ15からリードしたデータをそのまま情報処理装置PCに転送する（ステップS702）。

【0134】

また、誤データを転送しない場合には、半導体メモリ15からリードしたデータをエラーデータ検出訂正回路19に転送し（ステップS703）、誤データが含まれているか否かをチェックする（ステップS704）。

【0135】

そして、誤データが検出された際に、該誤データが訂正可能な場合には（ステップS705）、エラーデータ検出訂正回路19がデータ訂正を行い、訂正したデータを情報処理装置PCに転送する（ステップS707）。

【0136】

誤データを訂正できない場合には（ステップS705）、情報処理装置PCに転送不可通知を行う（ステップS706）。

【0137】

この場合、転送機能設定データが誤データでも転送する機能に設定されていれば、誤データのチェックを行わずに転送するので、高速な転送処理を実現することができる。

【0138】

さらに、リード転送要求時のコントローラ 14 の他の動作例について、図 27 のフローチャートを用いて説明する。

【0139】

まず、情報処理装置 PC からリード転送要求があると、半導体メモリ 15 からデータをリードし、エラーデータ検出訂正回路 19 に転送し（ステップ S801）、誤データが含まれているか否かをチェックする（ステップ S802）。

【0140】

誤データが含まれていない場合には、リードデータを情報処理装置 PC に転送する（ステップ S803）。また、誤データが含まれている場合、該誤データが訂正可能な場合には（ステップ S804）、エラーデータ検出訂正回路 19 がデータ訂正を行い、訂正したデータを情報処理装置 PC に転送する（ステップ S805）。

【0141】

誤データを訂正できない場合には（ステップ S804）、コントローラ制御回路 16 が転送モード切替参照メモリ 18 の転送機能設定データを参照し、誤データであっても転送するか否かを判断する（ステップ S806）。

【0142】

誤データを含んでいても転送する場合には、半導体メモリ 15 からリードしたデータをそのまま情報処理装置 PC に転送する（ステップ S807）。誤データを転送しない場合には、コントローラ 14 が情報処理装置 PC に対して転送不可通知を行う（ステップ S808）。

【0143】

この場合、転送機能設定データが誤データでも転送する機能に設定されていても、誤データの転送が訂正不可の場合に限られるので、データの信頼性を向上させることができる。

【0144】

次に、情報処理装置PCによって転送モード切替参照メモリ18の転送機能設定データを変更する場合について図28のフローチャートを用いて説明する。

【0145】

ここでは、データ転送時において、誤データを転送しない設定から誤データを転送する設定に変更する場合について説明する。

【0146】

情報処理装置PCから、たとえば、ユーザデータ(k-1)のリード転送要求があると(ステップS901)、コントローラ14は、半導体メモリ15に対してユーザデータ(k-1)のリード転送要求を行う(ステップS902)。

【0147】

続いて、半導体メモリ15のデータがリードされてコントローラ14に転送される(ステップS903)。

【0148】

転送されたユーザデータ(k-1)は誤データを含んでいるので、コントローラ14は、情報処理装置PCに対してエラー終了通知を行う(ステップS904)。

【0149】

エラー終了通知が転送されると情報処理装置PCは、コントローラ14に転送機能設定データを変更するモード切替処理を要求する(ステップS905)。コントローラ14は、モード切替処理要求を受けて、転送モード切替参照メモリ18の転送機能設定データを変更するとともに、情報処理装置PCに該転送機能設定データの変更が完了したことを通知する(ステップS906)。

【0150】

続いて、情報処理装置PCは、再びユーザデータ(k-1)のリード転送要求を行い(ステップS907)、コントローラ14が半導体メモリ15に対してユーザデータ(k-1)のリード転送要求を行うとともに(ステップS908)、情報処理装置PCに対してリードデータ転送通知を転送する(ステップS909)。

【0151】

そして、半導体メモリ15のデータがリードされ、コントローラ14を介して情報処理装置PCにデータが転送される（ステップS910）。すべてのリードデータの転送が終了すると、コントローラ14がリードデータ転送終了を情報処理装置PCに対して通知する（ステップS911）。

【0152】

また、転送機能設定データは、転送モード切替参照メモリ18でなく、たとえば、半導体メモリ15に設定することも可能である。

【0153】

この場合の情報処理装置PCによる転送機能設定データの変更について図29のフローチャートを用いて説明する。

【0154】

情報処理装置PCから、ユーザデータ（ $k-1$ ）のリード転送要求があると（ステップS1001）、コントローラ14は、半導体メモリ15に対してユーザデータ（ $k-1$ ）のリード転送要求を行う（ステップS1002）。

【0155】

その後、半導体メモリ15のデータがリードされてコントローラ14に転送される（ステップS1003）。転送されたユーザデータ（ $k-1$ ）は誤データを含んでいるので、コントローラ14は情報処理装置PCに対してエラー終了通知を行う（ステップS1004）。

【0156】

このエラー終了通知により、情報処理装置PCは、コントローラ14に転送機能設定データを変更するモード切替処理を要求する（ステップS1005）。モード切替処理要求を受けてコントローラ14は、半導体メモリ15の転送機能設定データを変更するとともに（ステップS1006）、情報処理装置PCに該転送機能設定データの変更が完了したことを通知する（ステップS1007）。

【0157】

情報処理装置PCは、再びユーザデータ（ $k-1$ ）のリード転送要求を行い（ステップS1008）、コントローラ14が半導体メモリ15に対してユーザデ

ータ ($k-1$) のリード転送要求を行うとともに (ステップ S1009)、情報処理装置 PC に対してリードデータ転送通知を転送する (ステップ S1010)。

【0158】

そして、半導体メモリ 15 のデータがリードされ、コントローラ 14 を介して情報処理装置 PC にデータが転送される (ステップ S1011)。すべてのリードデータの転送が終了すると、コントローラ 14 がリードデータ転送終了を情報処理装置 PC に対して通知する (ステップ S1012)。

【0159】

本実施の形態では、リード転送毎に半導体メモリに記憶している書き換えフラグをチェックしていない。これはコントローラ内に転送フラグを記憶しているからである。これにより情報処理装置 PC からのリード転送の性能を低下させることなく、本発明を実現することが出来る。半導体メモリに記憶している書き換えフラグは、電源立上げ後のリセット中、及び情報処理装置 PC から要求があったリセット処理中にコントローラが確認する。この半導体メモリに記憶する方式は、メーカーが出荷時に於いて、顧客の要求に対し簡単に対応が可能であり、顧客が適応する情報処理装置 PC は、モードの切替を意識する必要がない。

【0160】

図 30 は、半導体メモリ 15 に誤データ転送機能が無効にした転送機能設定データを設定した際のデータ構造を示す説明図であり、図 31 は、半導体メモリ 15 に誤データ転送機能が有効となった転送機能設定データを設定した際のデータ構造を示す説明図である。

【0161】

図 30、図 31 に示すように、半導体メモリ 15 のアドレス n に対応するデータ記憶領域が転送機能設定データを設定する領域となる。この領域に転送無効フラグを設定すると誤データ転送機能が無効になり、転送有効フラグを設定すると誤データ転送機能が有効になる。

【0162】

転送機能設定データの設定は半導体メモリの最低どれか 1 つに設定し、本発明

である記憶装置全体の機能設定に用いてもよい。さらに、半導体メモリ個別に設定してもかまわない。個別に設定することにより、例えば比較的データ信頼度の高さを必要とするファイル管理用データと、例えば画像音声データ等比較的高いデータ転送を必要とするデータを、それぞれ半導体メモリに区別して保存することにより、使い勝手のよい記憶装置を実現することができる。

【0163】

図32は、設定転送機能の切替を、リード転送要求時にコマンドコードを変えることによって処理する際のフローチャートである。

【0164】

情報処理装置PCが、コマンドコードによってユーザデータ(k-1)の誤データ転送不可リード転送要求を行うと(ステップS1101)、コントローラ14は、半導体メモリ15に対してユーザデータ(k-1)のリード転送要求を行い(ステップS1102)、半導体メモリ15のリードデータがコントローラ14に転送される(ステップS1103)。

【0165】

転送されたユーザデータ(k-1)は誤データを含んでいるので、コントローラ14は情報処理装置PCに対してエラー終了通知を行う(ステップS1104)。

【0166】

続いて、情報処理装置PCがコマンドコードによって、ユーザデータ(k-1)の誤データ転送可転送要求を行うと(ステップS1105)、コントローラ14が、半導体メモリ15に対してユーザデータ(k-1)のリード転送要求を行うとともに(ステップS1106)、情報処理装置PCに対してリードデータ転送通知を転送する(ステップS1107)。

【0167】

その後、半導体メモリ15のデータがリードされ、コントローラ14を介して情報処理装置PCにデータが転送される(ステップS1108)。すべてのリードデータの転送が終了すると、コントローラ14がリードデータ転送終了を情報処理装置PCに対して通知する(ステップS1109)。

【0168】

図33は、各々のユーザデータ(0)～(n-1)に対し、個別に転送機能設定データを設定することのできる半導体メモリ15の構成例を示した説明図である。

【0169】

この場合、半導体メモリ15は、データ記憶領域、およびデータ検出用データ領域の他に、各々のユーザデータが誤データであっても転送するか否かを設定する転送フラグを格納する領域が設けられている。

【0170】

この領域に誤データ転送不可、または誤データ転送可のフラグを設定することにより、転送モード切替参照用メモリを不要にすることができる。また、誤データの転送可／不可をユーザデータ毎に選択して設定することができるので、データストレージとしての信頼性を向上することができる。

【0171】

次に、ライト転送時において、半導体メモリ15に転送フラグを設定する処理について、図34のフローチャートを用いて説明する。ここでは、ユーザデータ(k-1)を誤データ転送不可に設定し、ユーザデータ(k)を誤データ転送可に設定するものとする。

【0172】

情報処理装置PCは、コマンドコードによってユーザデータ(k-1)の誤データ転送不可ライト転送要求を行うと(ステップS1201)、コントローラ14は半導体メモリ15に対してユーザデータ(k-1)のライト転送要求を行い(ステップS1202)、ライトデータがコントローラ14を介して半導体メモリ15に転送される(ステップS1203)。

【0173】

そして、コントローラ14は、誤データ転送不可の転送フラグを半導体メモリ15に設定した後(ステップS1204)、ユーザデータ(k-1)の検出データ(k-1)を半導体メモリ15のエラー検出用データ領域に格納する(ステップS1205)。

【0174】

続いて、コントローラ14は、半導体メモリ15に対してライト転送の正常終了通知を行い（ステップS1206）、情報処理装置PCにライト転送終了通知を転送する（ステップS1207）。

【0175】

また、情報処理装置PCが、コマンドコードによってユーザデータ（k）の誤データ転送可ライト転送要求を行うと（ステップS1208）、コントローラ14が半導体メモリ15に対してユーザデータ（k）のライト転送要求を行い（ステップS1209）、ライトデータがコントローラ14を介して半導体メモリ15に転送される（ステップS1210）。

【0176】

そして、コントローラ14は、誤データ転送可の転送フラグを半導体メモリ15に設定し（ステップS1211）、ユーザデータ（k）の検出データ（k）を半導体メモリ15のエラー検出用データ領域に格納する（ステップS1212）。

【0177】

続いて、コントローラ14は、半導体メモリ15に対してライト転送の正常終了通知を行い（ステップS1213）、情報処理装置PCにライト転送終了通知を転送する（ステップS1214）。

【0178】

また、図35は、図34において転送モードを設定した後のリード転送処理を示したフローチャートである。

【0179】

情報処理装置PCが、ユーザデータ（k-1）のリード転送要求を行うと（ステップS1301）、コントローラ14は半導体メモリ15に対してユーザデータ（k-1）のライト転送要求を行う（ステップS1302）。これにより、リードデータがコントローラ14に転送される（ステップS1303）。

【0180】

このユーザデータ（k-1）は誤データを含んでいるので、コントローラ14

は、情報処理装置 P C に対してエラー終了通知を転送する（ステップ S 1304）。

【0181】

再び、情報処理装置 P C がユーザデータ（k）のリード転送要求を行うと（ステップ S 1305）、コントローラ 14 は半導体メモリ 15 に対してユーザデータ（k）のリード転送要求を行うとともに（ステップ S 1306）、情報処理装置 P C に対してリード転送要求を行う（ステップ S 1307）。

【0182】

ユーザデータ k にも誤データを含んでいるが、半導体メモリ 15 から、コントローラ 14 を介してリードデータが情報処理装置 P C に転送される（ステップ S 1308）。すべてのリードデータが転送されると、コントローラ 14 は、リード転送終了通知を情報処理装置 P C に転送する（ステップ S 1309）。

【0183】

それにより、本実施の形態 2 では、誤データが含まれているユーザデータであっても、途切れることなくデータ転送することができるので、不要な待ち時間などをなくすることができる。

【0184】

また、データが途切れることなく転送されることにより、情報処理装置 P C に大容量のバッファなどが不要となるので、該情報処理装置 P C のコストダウンを実現することができる。

【0185】

さらに、本実施の形態 2 においては、誤データ転送機能の設定を情報処理装置 P C が行う場合について記載したが、たとえば、図 36 に示すように、情報処理装置 P C 以外の外部から転送モード切替信号をコントローラ 14 のコントローラ制御回路 16 に入力する構成としてもよい。

【0186】

また、本実施の形態 2 において、エラー訂正が不可とは、現実にエラー訂正ができないことのみに限定されるのではなく、予め決定された時間内にエラー訂正が完了しないことをも含むことはいうまでもない。

【0187】

たとえば、エラー訂正時間を設定可能なレジスタなどを有し、データの種類毎にエラー訂正時間を指定しておくことで、たとえばデータの正確性よりも転送時間が重要なデータと、逆にデータの正確性が重要なデータのそれぞれに適切な時間でデータ転送を行うことができるようになる。

【0188】

なお、本実施の形態2において、エラー訂正が不可の場合、メモリアレイから読み出したデータをエラー訂正を行わずにホストへ供給する旨記載しているが、この場合、たとえば全て“0”又は全て“1”のデータをホストへ供給するようにしてもよいことはいうまでもない。

【0189】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

(1) データ転送処理中にホストや電源電圧などに異常があっても、緊急停止要求処理により誤データの転送や誤データへのデータの書き換えなどを防止することができるので、データ記憶装置の信頼性を向上することができる。

(2) また、誤データが含まれているユーザデータであっても、途切れることなくデータ転送することができるので無駄な待ち時間を低減することでき、記憶装置の信頼性をより向上させることができる。

(3) さらに、上記(1)、(2)により、記憶装置などを用いて構成される電子システムの性能、ならびに信頼性を大幅に向上することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1によるデータ記憶装置のブロック図である。

【図2】

図1のデータ記憶装置におけるリードデータ転送中の緊急停止要求処理のフローチャートである。

【図3】

図 1 のデータ記憶装置におけるライトデータ転送中に緊急停止信号が発行された際のフローチャートである。

【図 4】

図 1 のデータ記憶装置によるライトデータ転送中に緊急停止信号が発行された際のフローチャートである。

【図 5】

図 1 のデータ記憶装置に供給される電源電圧のシーケンス図である。

【図 6】

本発明の実施の形態 1 によるデータ記憶装置におけるリセット信号の接続例を示したブロック図である。

【図 7】

図 6 のデータ記憶装置におけるリセット信号と緊急停止信号とのシーケンス図である。

【図 8】

本発明の実施の形態 1 によるデータ記憶装置におけるリセット信号の他の接続例を示したブロック図である。

【図 9】

図 8 のデータ記憶装置を用いた信号処理の説明図である。

【図 10】

本発明の他の実施の形態によるデータ記憶装置の一例を示したブロック図である。

【図 11】

図 10 のデータ記憶装置による電源電圧のシーケンス図である。

【図 12】

本発明の他の実施の形態によるデータ記憶装置の他の例を示したブロック図である。

【図 13】

図 12 のデータ記憶装置による動作例を示したシーケンス図である。

【図 14】

本発明の他の実施の形態によるデータ記憶装置の一例を示したブロック図である。

【図 15】

図 14 のデータ記憶装置による動作例を示したシーケンス図である。

【図 16】

本発明の他の実施の形態によるデータ記憶装置の他の例を示したブロック図である。

【図 17】

図 16 のデータ記憶装置による動作例を示したシーケンス図である。

【図 18】

本発明の他の実施の形態によるデータ記憶装置の一例を示したブロック図である。

【図 19】

図 18 のデータ記憶装置に設けられた情報処理装置がアクセスするレジスタの一例を示す説明図である。

【図 20】

本発明の他の実施の形態によるデータ記憶装置の他の例を示したブロック図である。

【図 21】

図 20 のデータ記憶装置に設けられた情報処理装置がアクセスするレジスタの一例を示す説明図である。

【図 22】

本発明の実施の形態 2 によるデータ記憶装置のブロック図である。

【図 23】

図 22 のデータ記憶装置において誤データ転送機能が有効設定されている際のリードデータ転送のフローチャートである。

【図 24】

図 22 のデータ記憶装置において誤データ転送機能が無効設定された際のリードデータ転送のフローチャートである。

【図 2 5】

図 2 2 のデータ記憶装置において訂正データを転送する誤データ訂正転送機能が有効設定されている際のリードデータ転送のフローチャートである。

【図 2 6】

図 2 2 のデータ記憶装置に設けられたコントローラのリード転送要求時におけるフローチャートである。

【図 2 7】

図 2 2 のコントローラのリード転送要求時における他の動作例を示すフローチャートである。

【図 2 8】

本発明の実施の形態 2 によるデータ記憶装置による転送機能設定データの変更例の一例を示すフローチャートである。

【図 2 9】

本発明の実施の形態 2 によるデータ記憶装置による転送機能設定データの変更例の他の例を示すフローチャートである。

【図 3 0】

本発明の実施の形態 2 によるデータ記憶装置に設けられた半導体メモリに転送機能設定データを設定した際のデータ構造の一例を示す説明図である。

【図 3 1】

本発明の実施の形態 2 によるデータ記憶装置に設けられた半導体メモリに転送機能設定データを設定した際のデータ構造の他の例を示す説明図である。

【図 3 2】

本発明の実施の形態 2 によるデータ記憶装置による設定転送機能の切替の一例を示すフローチャートである。

【図 3 3】

本発明の実施の形態 2 による半導体メモリに転送機能設定データを設定したデータ記憶装置のブロック図である。

【図 3 4】

図 3 3 のデータ記憶装置によるライト転送時の転送フラグの設定処理を示すフ

ローチャートである。

【図 3 5】

図 3 4 において転送モードを設定した後のリード転送処理を示したフローチャートである。

【図 3 6】

本発明の他の実施の形態によるデータ記憶装置のブロック図である。

【符号の説明】

- 1 データ記憶装置（記憶装置）
- 1 a ~ 1 e データ記憶装置（記憶装置）
- 2 コントローラ（情報処理部）
- 3 半導体メモリ
- 4 コントローラ制御回路
- 5 入出力回路
- 6 電源安定化 I C（電源電圧部）
- 7 電圧監視 I C（第 1 の電圧監視部）
- 8 電圧監視 I C（第 2 の電圧監視部）
- 9 コンデンサ（電源供給部）
- 1 0 電源切替 I C（電源切替部）
- 1 1 A N D（論理積）回路
- 1 2 緊急停止要求レジスタ（レジスタ）
- 1 2 a 処理要求レジスタ（レジスタ）
- 1 3 データ記憶装置（記憶装置）
- 1 4 コントローラ（情報処理部）
- 1 5 半導体メモリ
- 1 6 コントローラ制御回路
- 1 7 入出力回路
- 1 8 転送モード切替参照メモリ（転送モード記憶部）
- 1 9 エラーデータ検出訂正回路（エラーデータ検出訂正部）
- M B, M B 1 半導体メモリバス

P C 情報処理装置

P C B 情報処理装置バス

S, S 1 信号線

N S 内部電源線

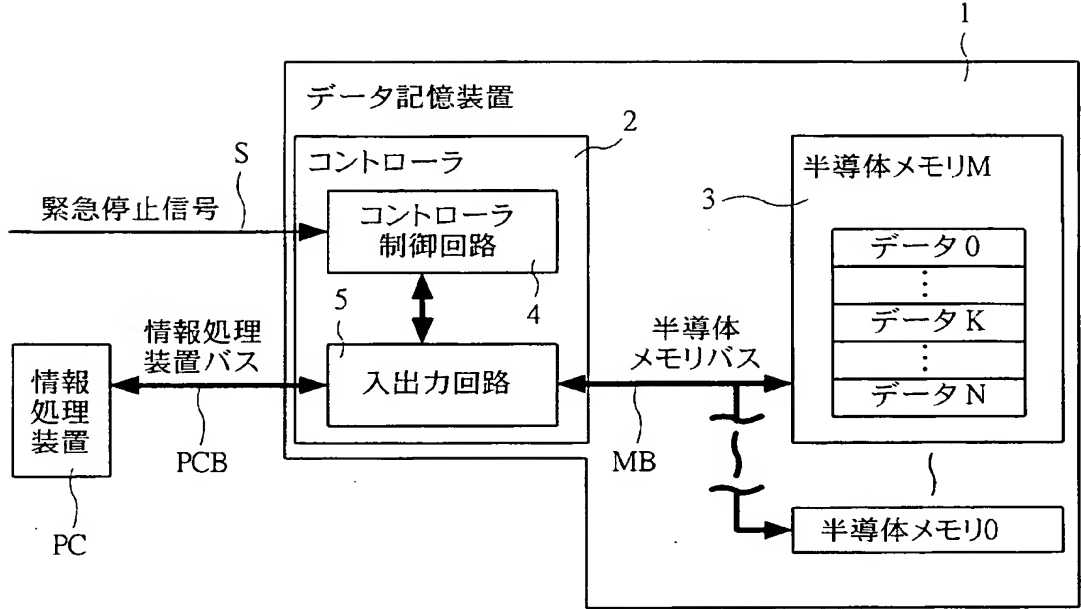
V C C 外部電源電圧

V D D 内部電源電圧

【書類名】 図面

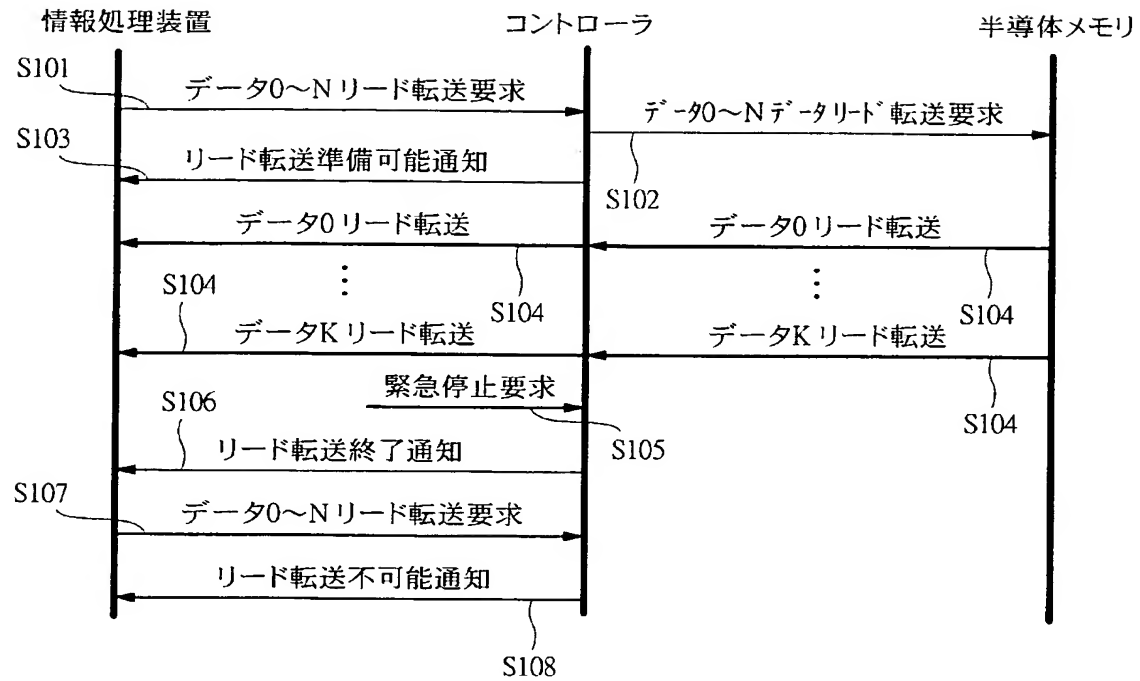
【図 1】

図 1



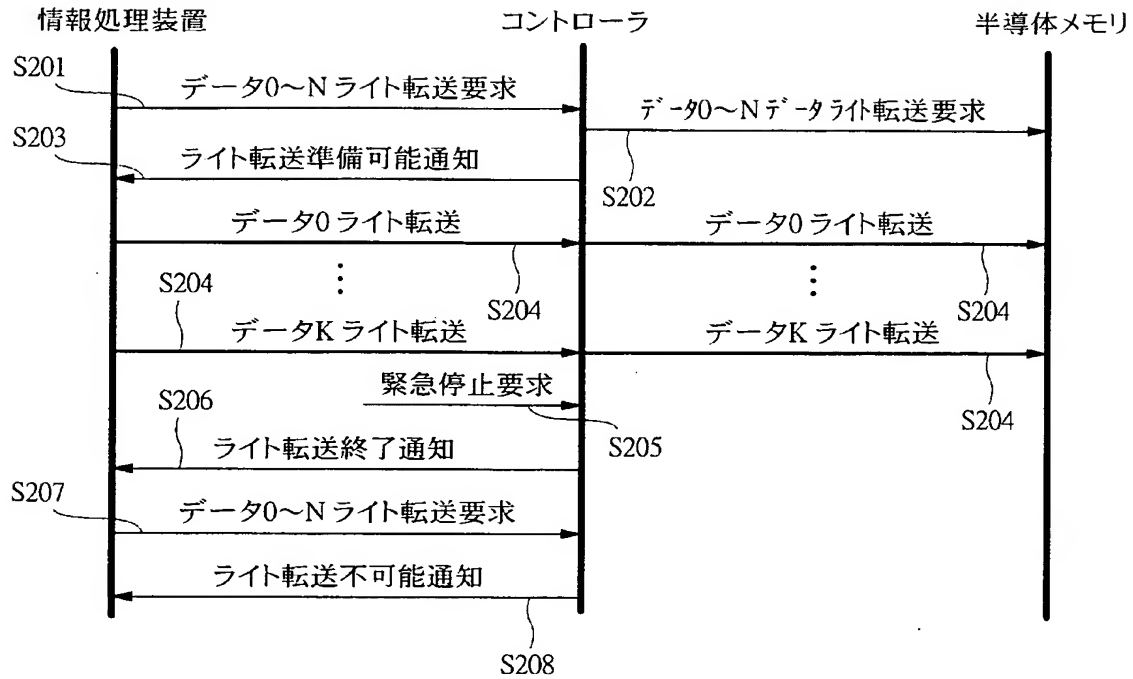
【図 2】

図 2



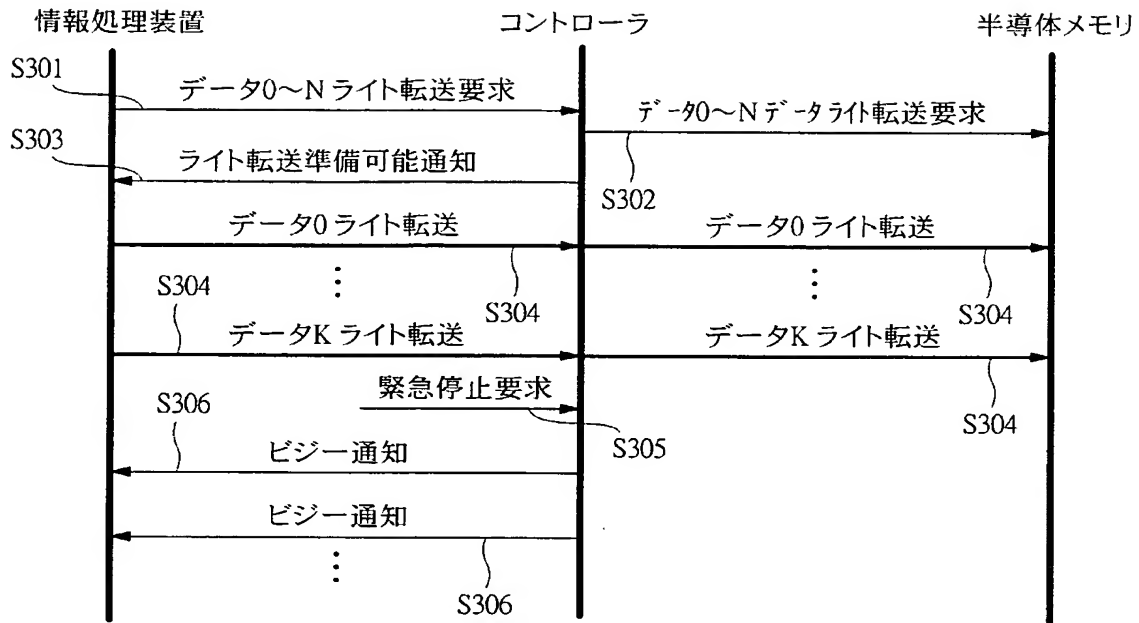
【図 3】

図 3



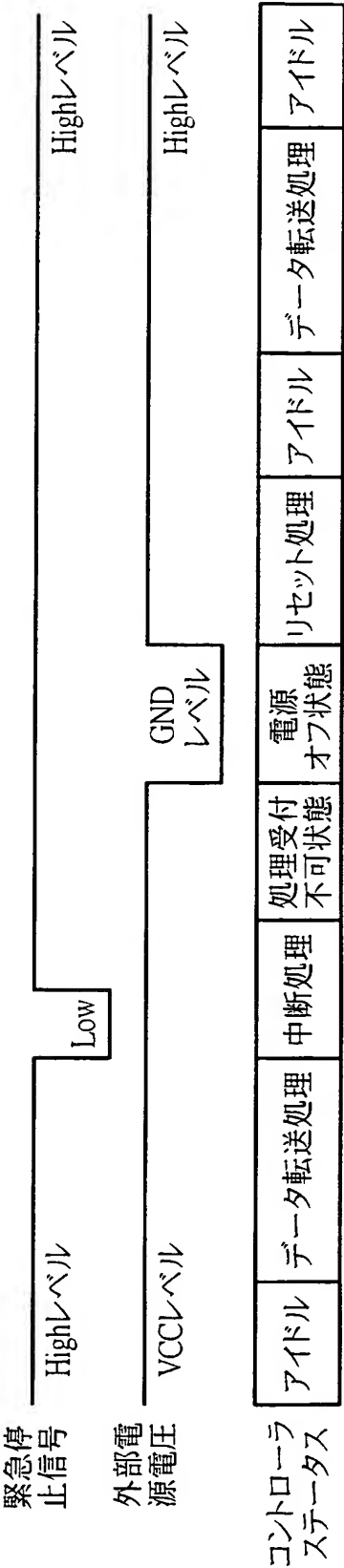
【図 4】

図 4

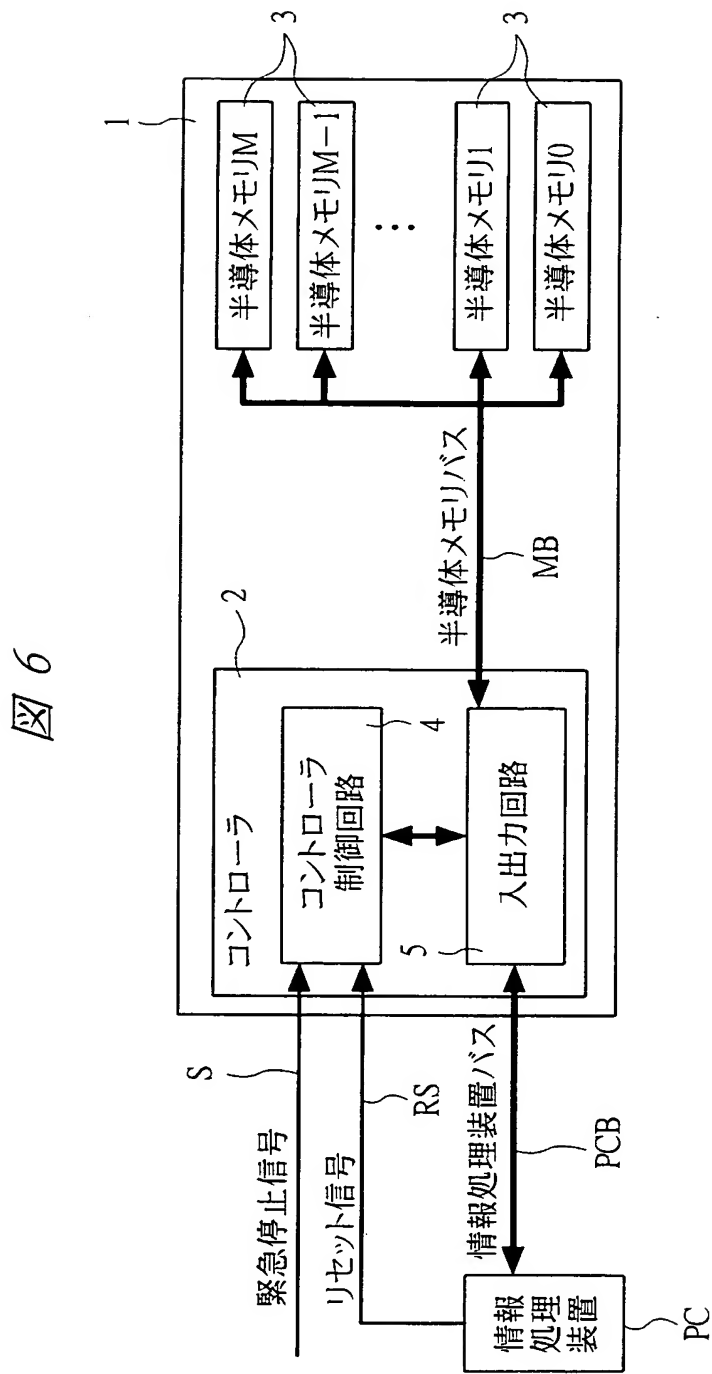


【図 5】

図 5

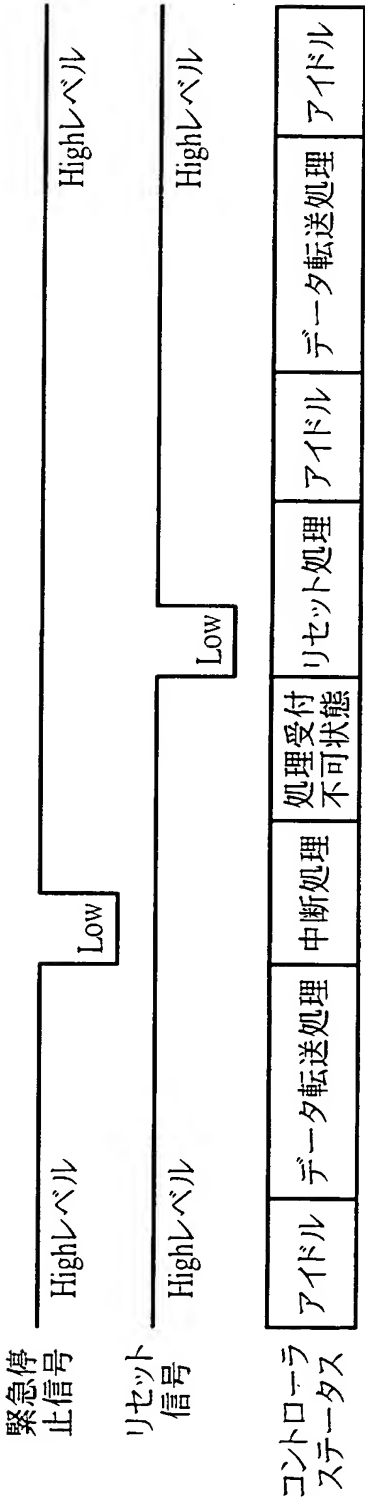


【図 6】



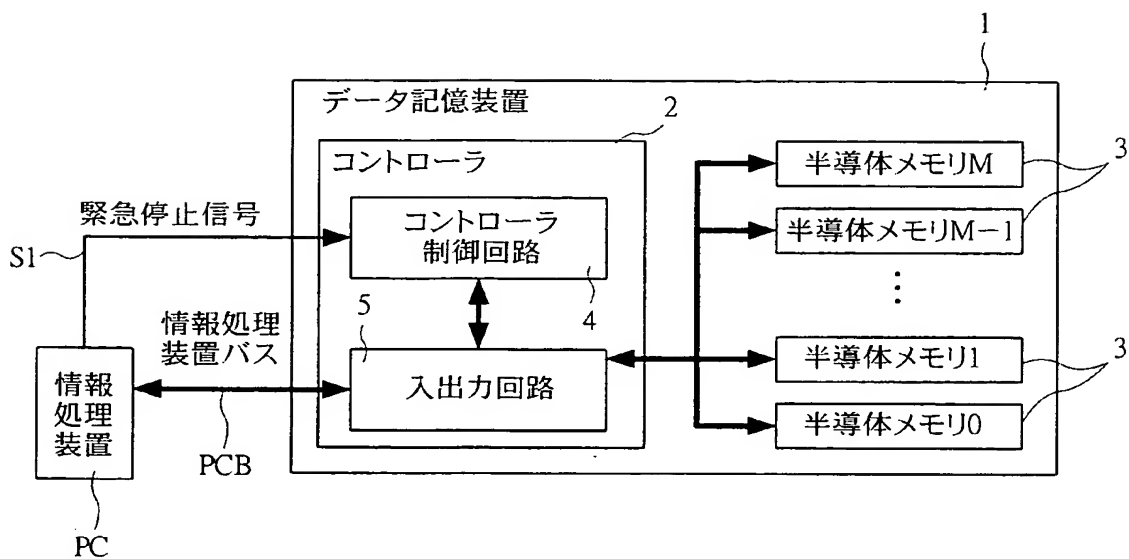
【図 7】

図 7



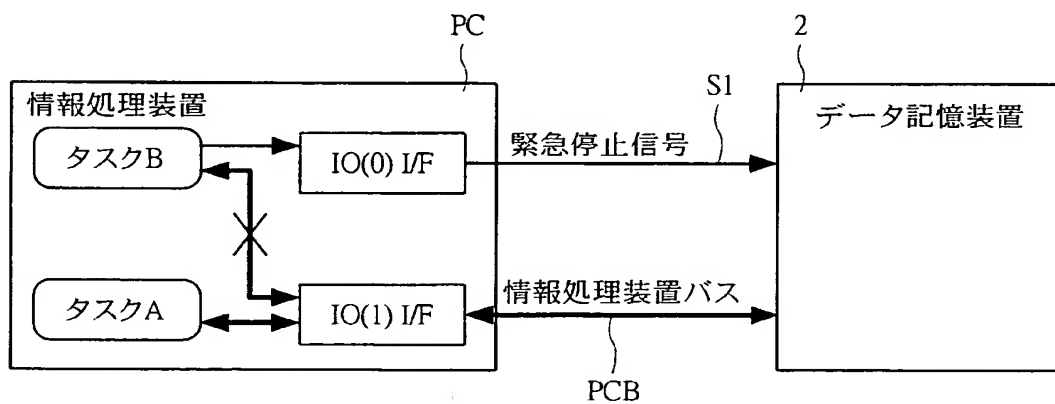
【図 8】

図 8



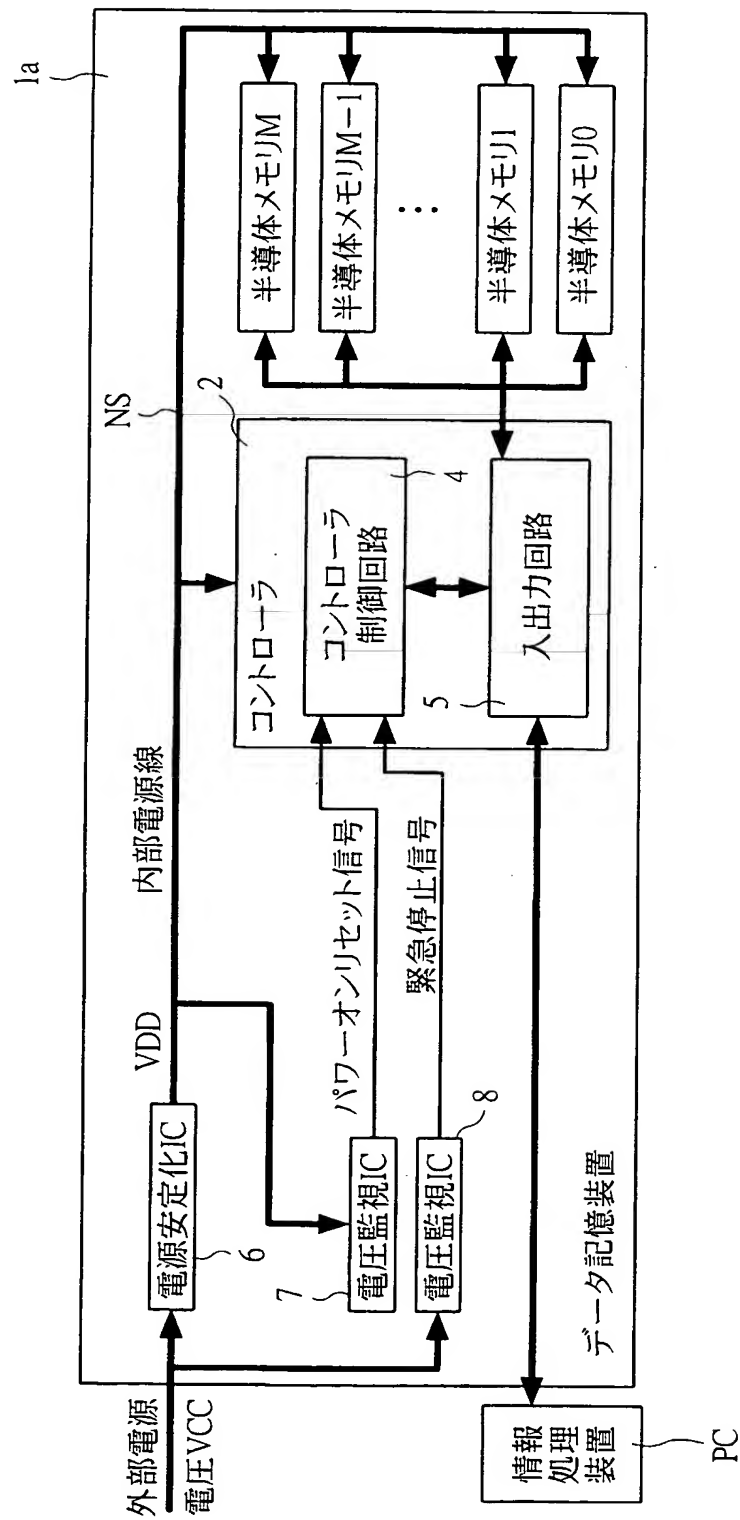
【図 9】

図 9



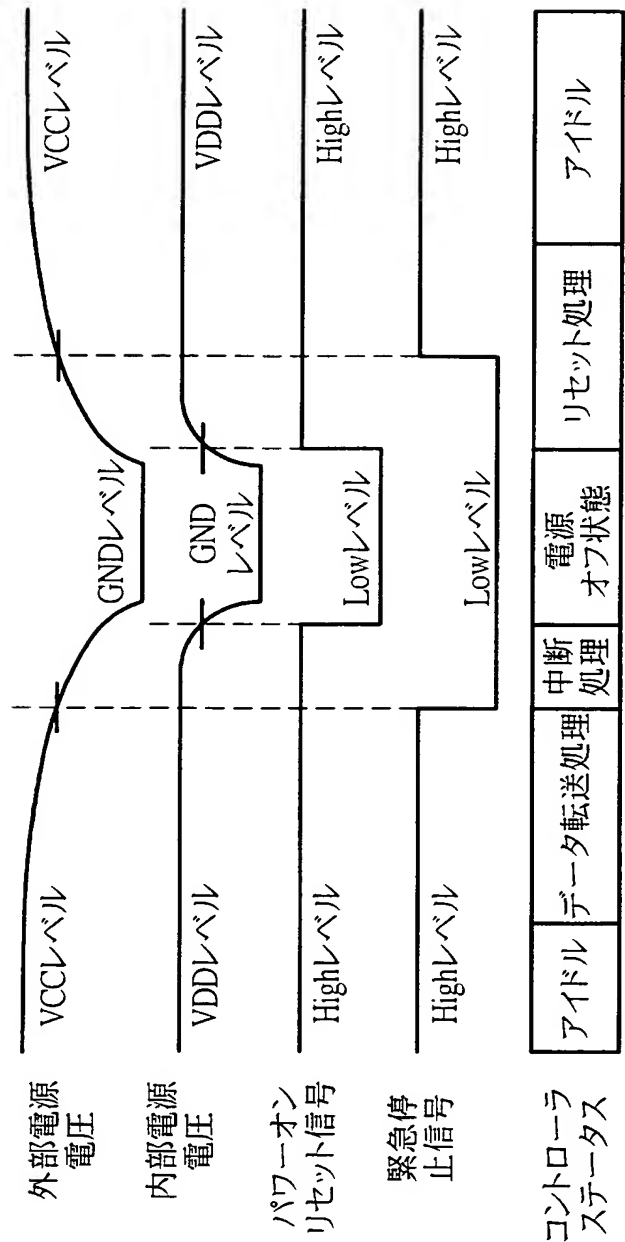
【図 10】

図 10

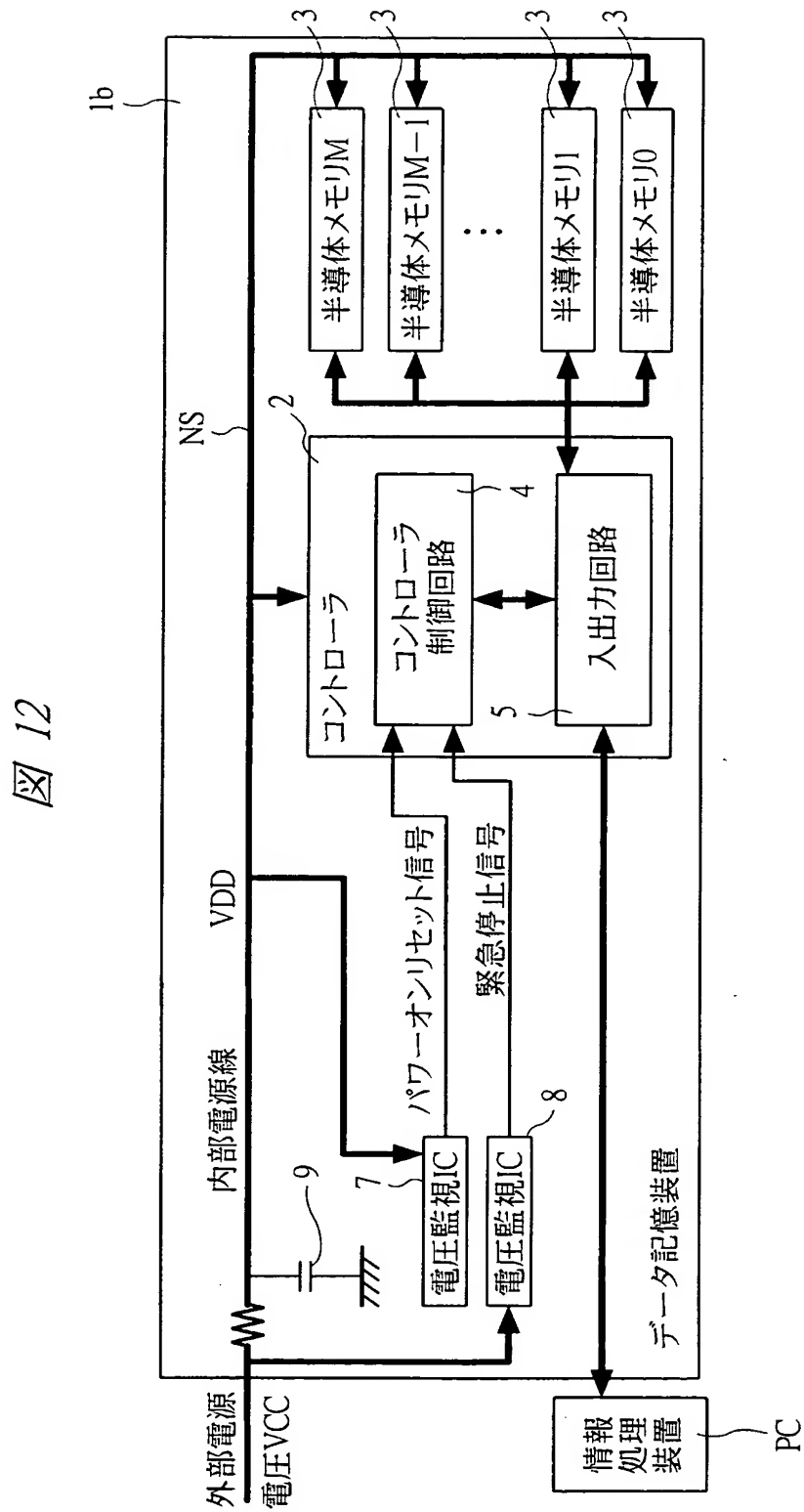


【図 11】

図 11

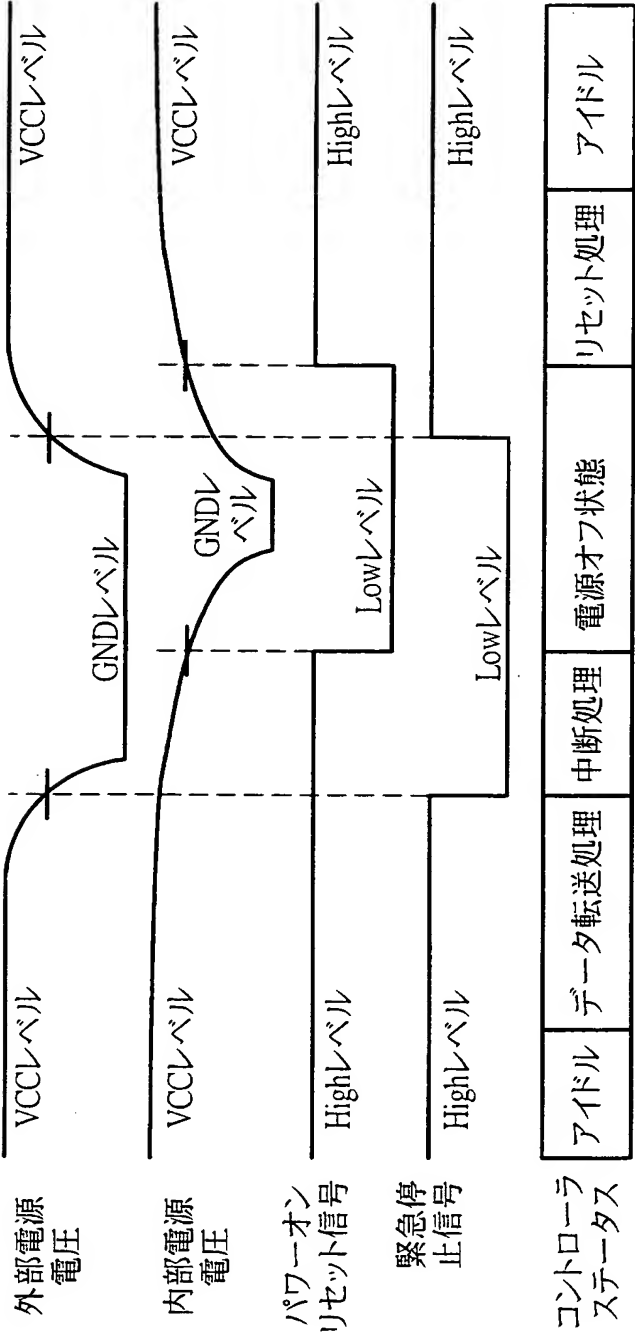


【図 12】



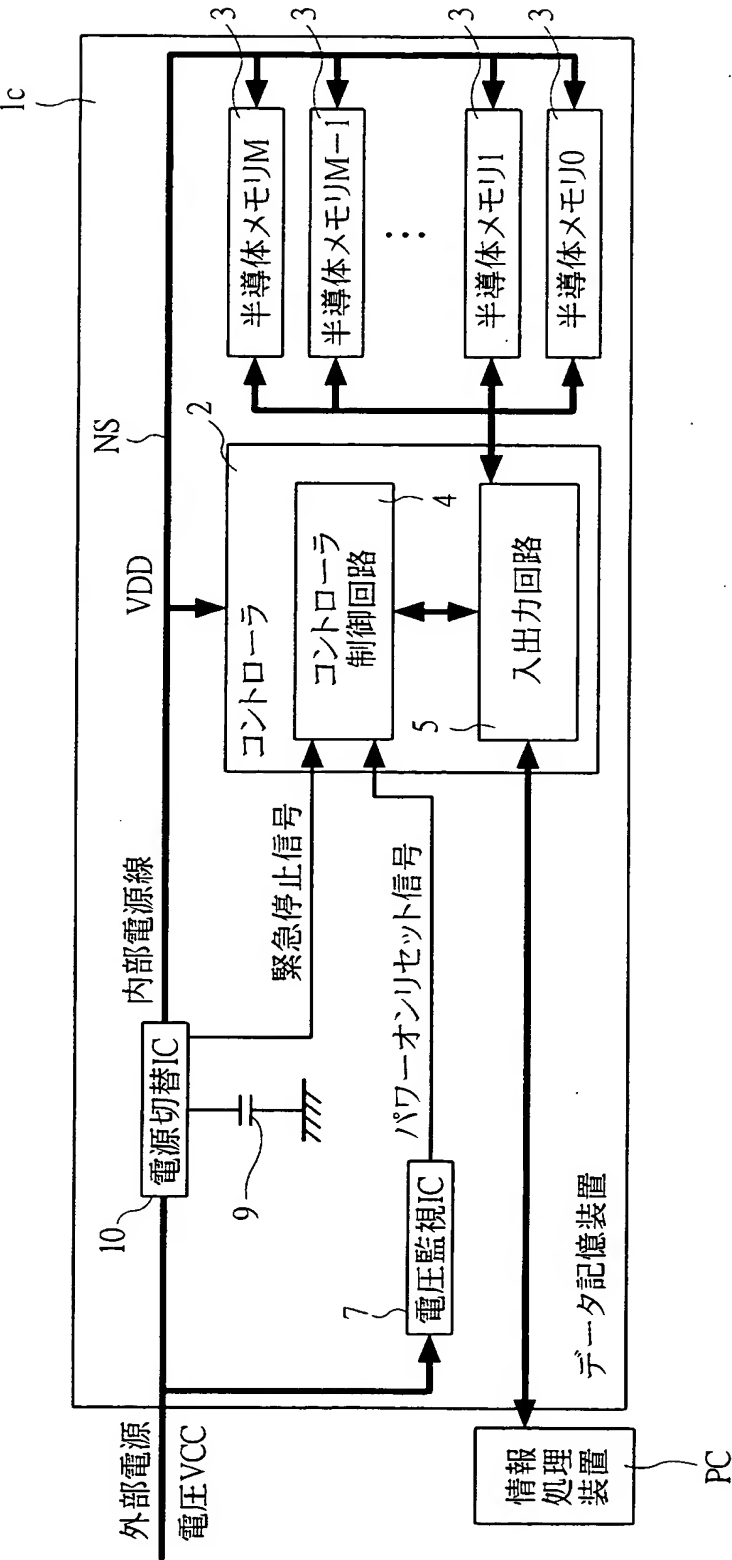
【図 13】

図 13



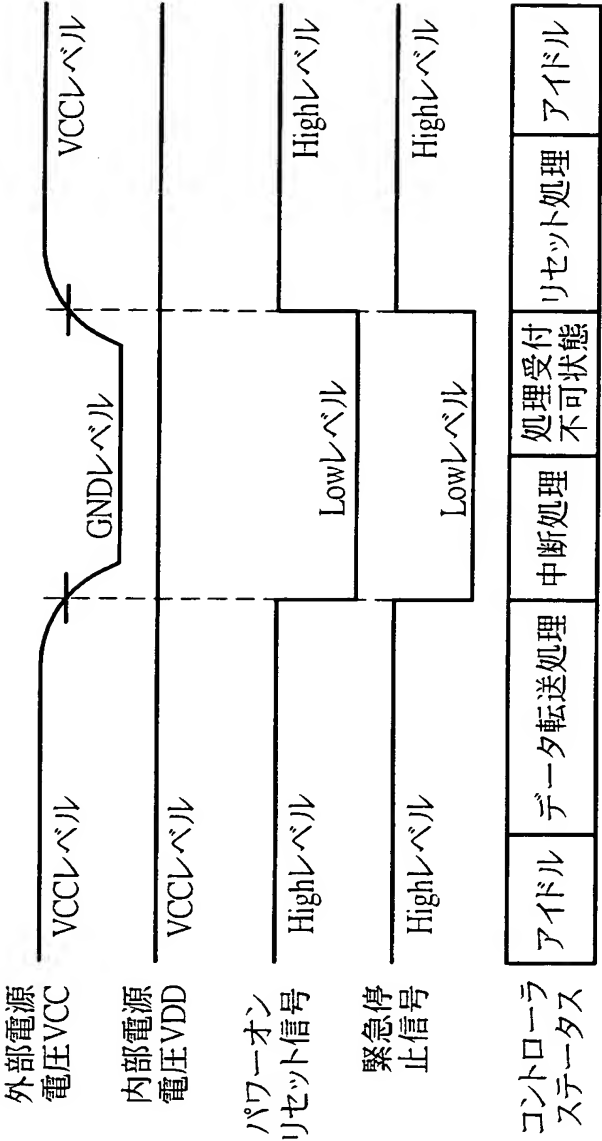
【図 14】

図 14



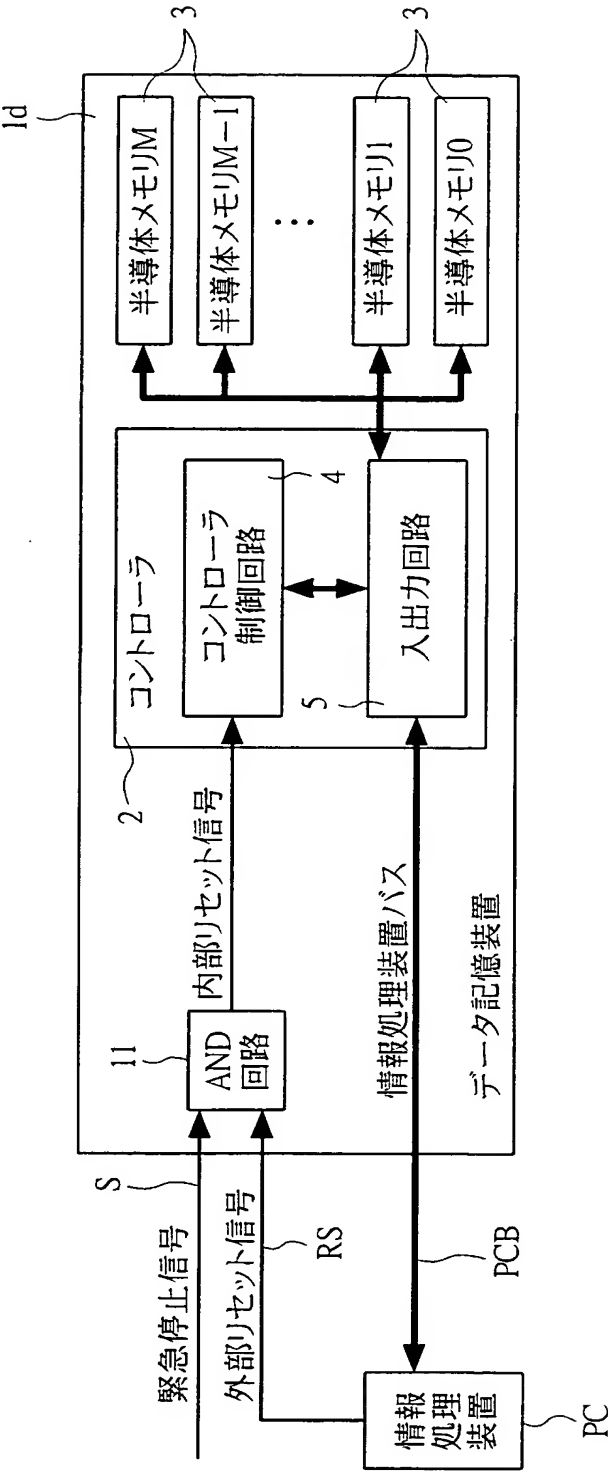
【図 1 5】

図 15



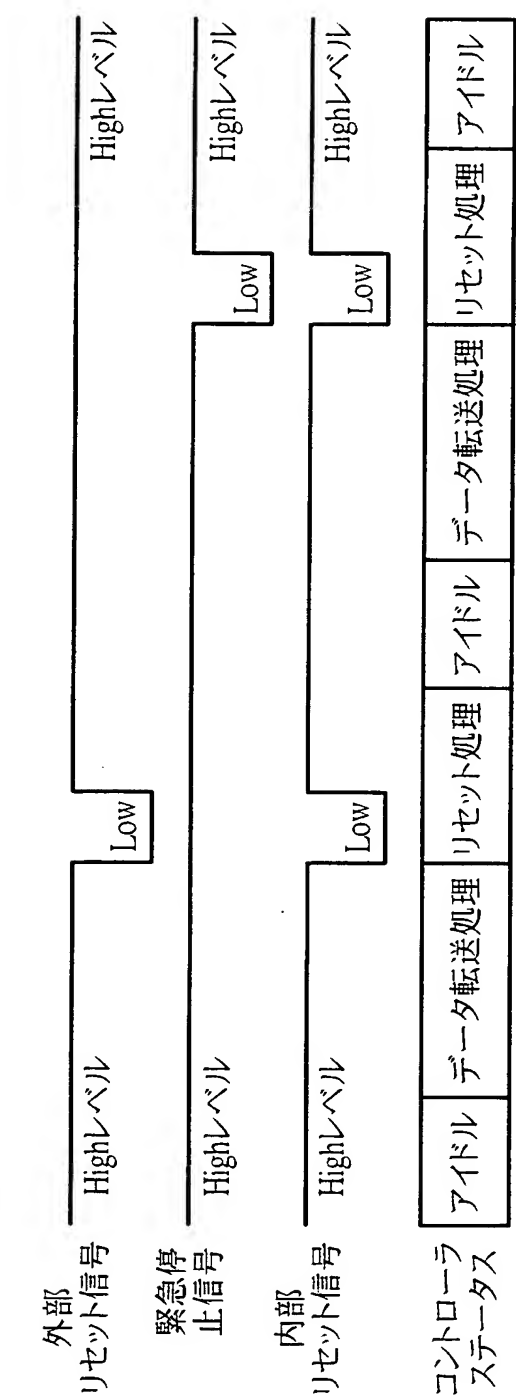
【図 16】

図 16



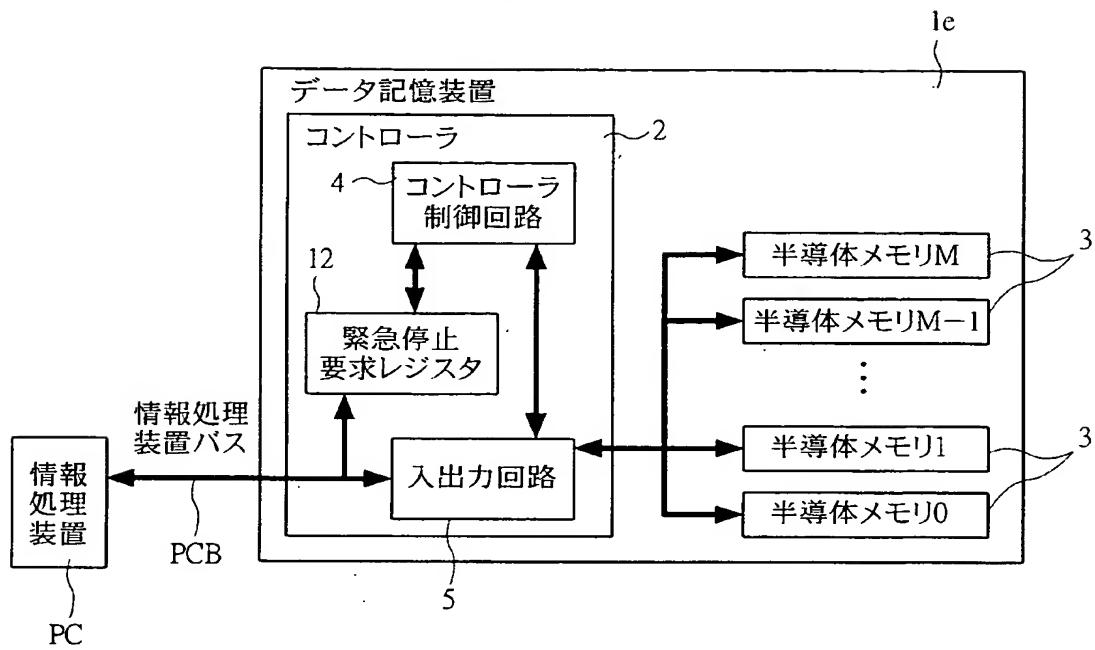
【図 1 7】

図 17



【図 18】

図 18



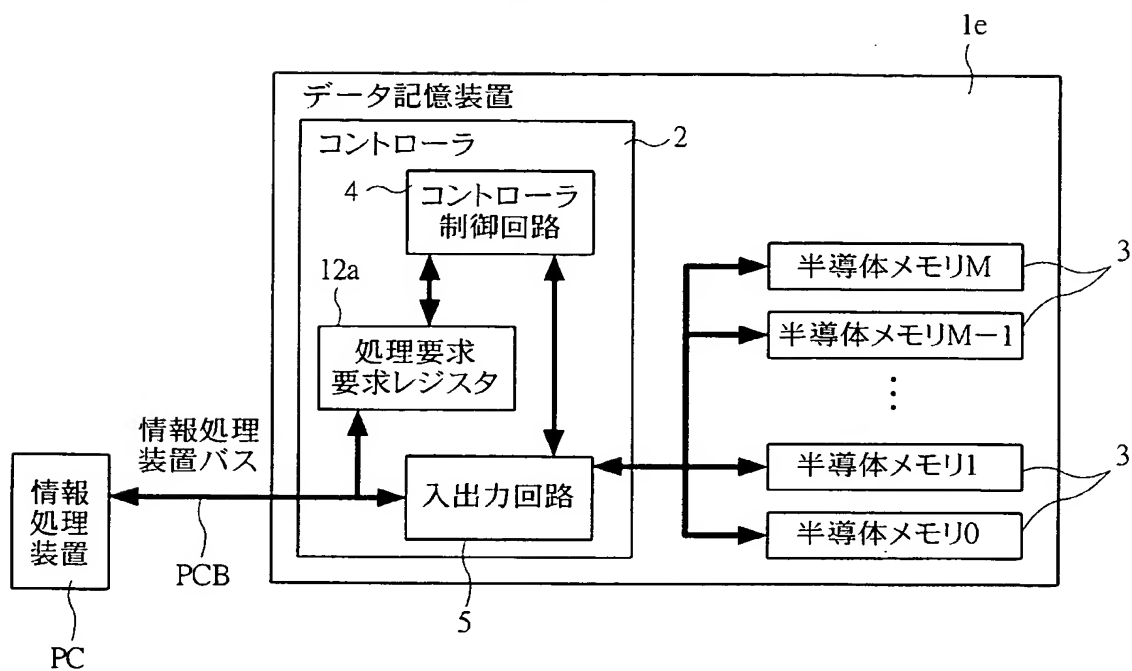
【図 19】

図 19

緊急停止要求レジスタ
ステータスレジスタ
アドレスレジスタ
処理要求レジスタ
データ入出力レジスタ

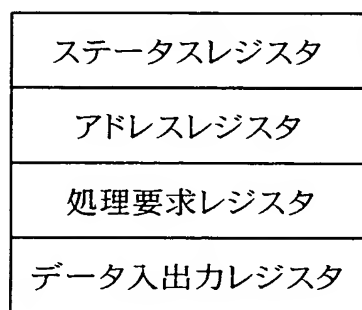
【図 20】

図 20



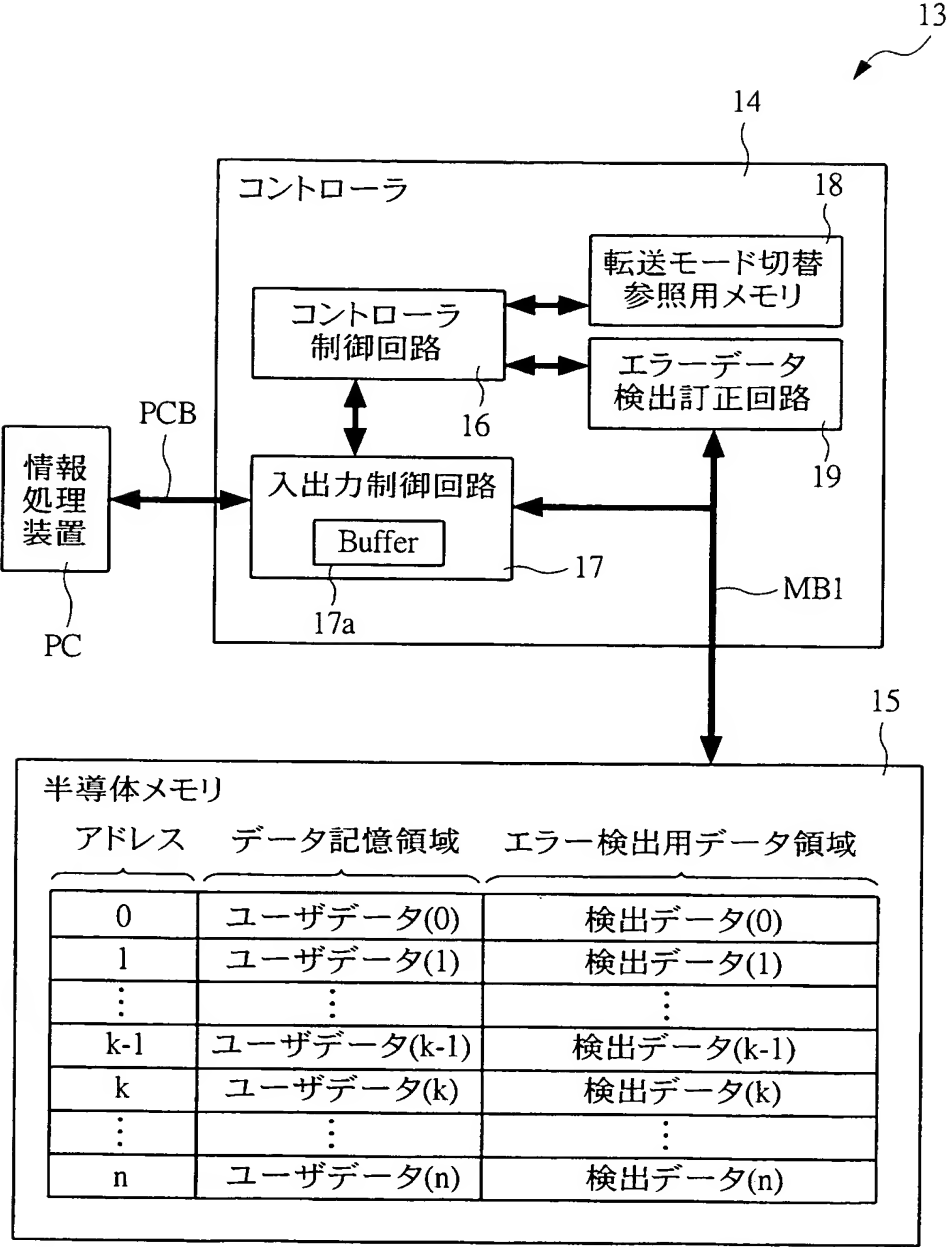
【図 21】

図 21



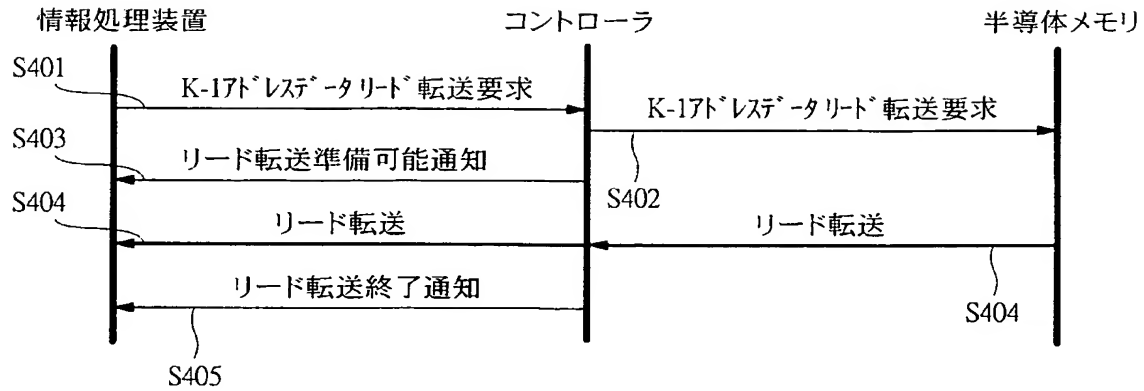
【図 22】

図 22



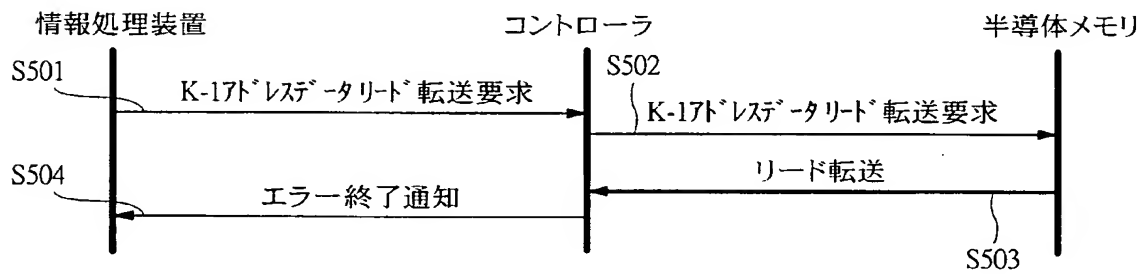
【図 2 3】

図 23



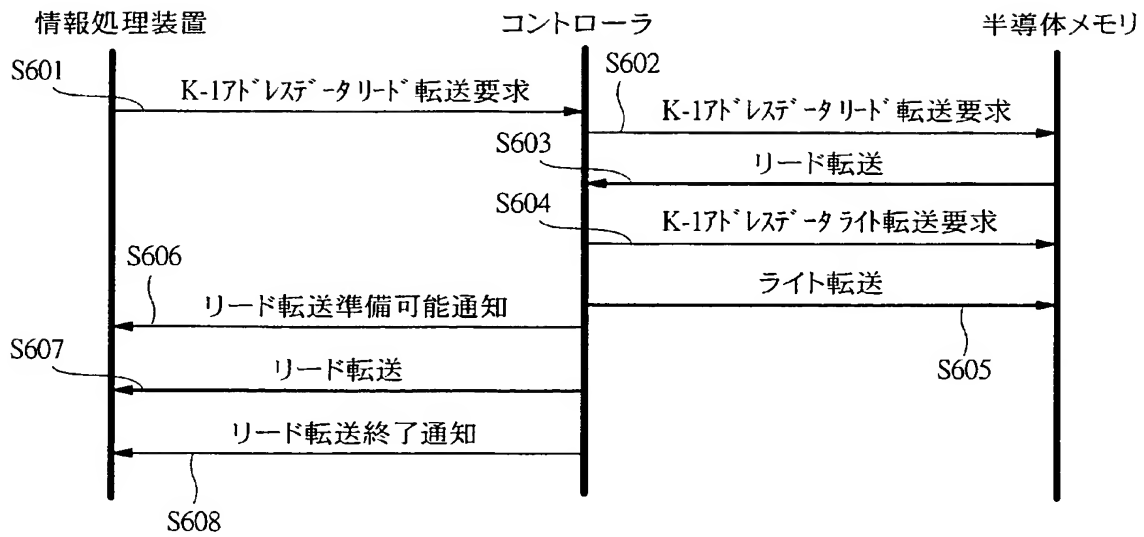
【図 2 4】

図 24



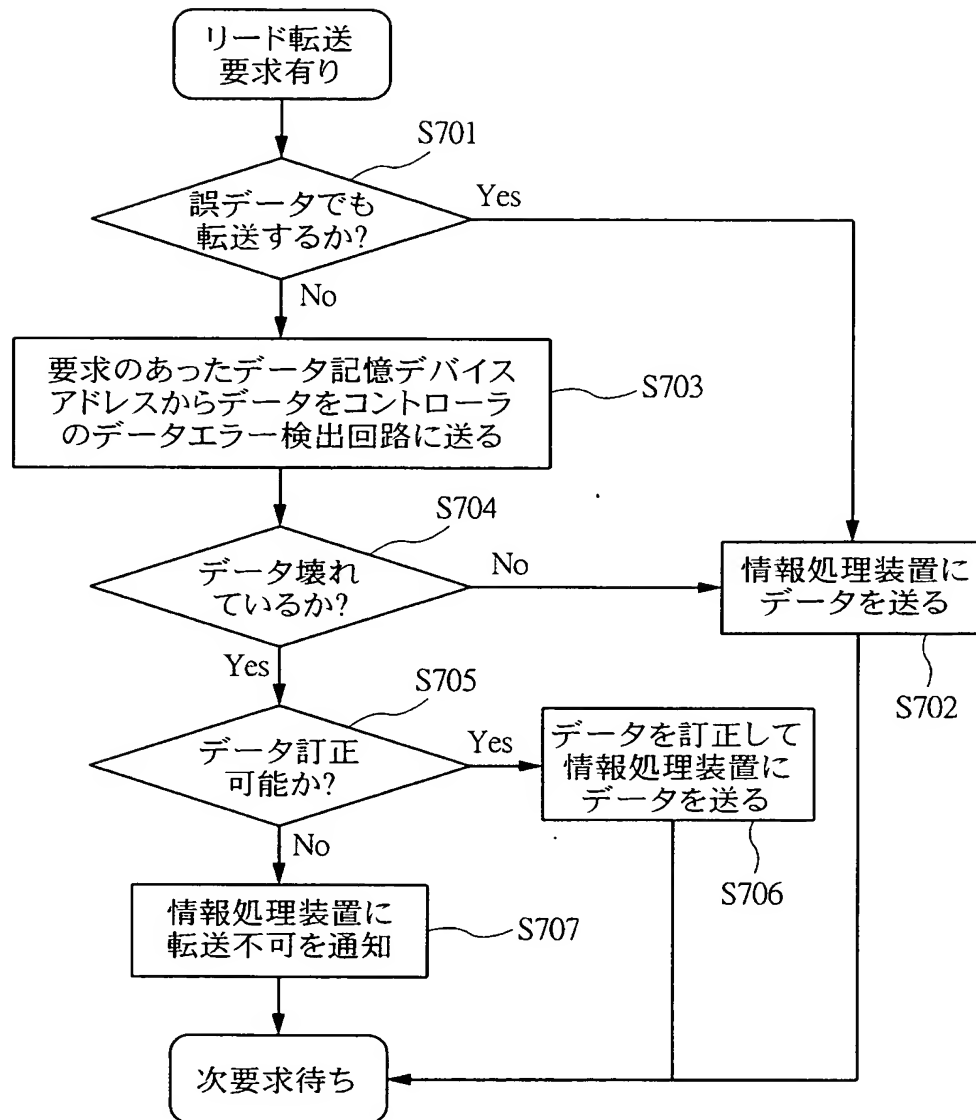
【図 25】

図 25



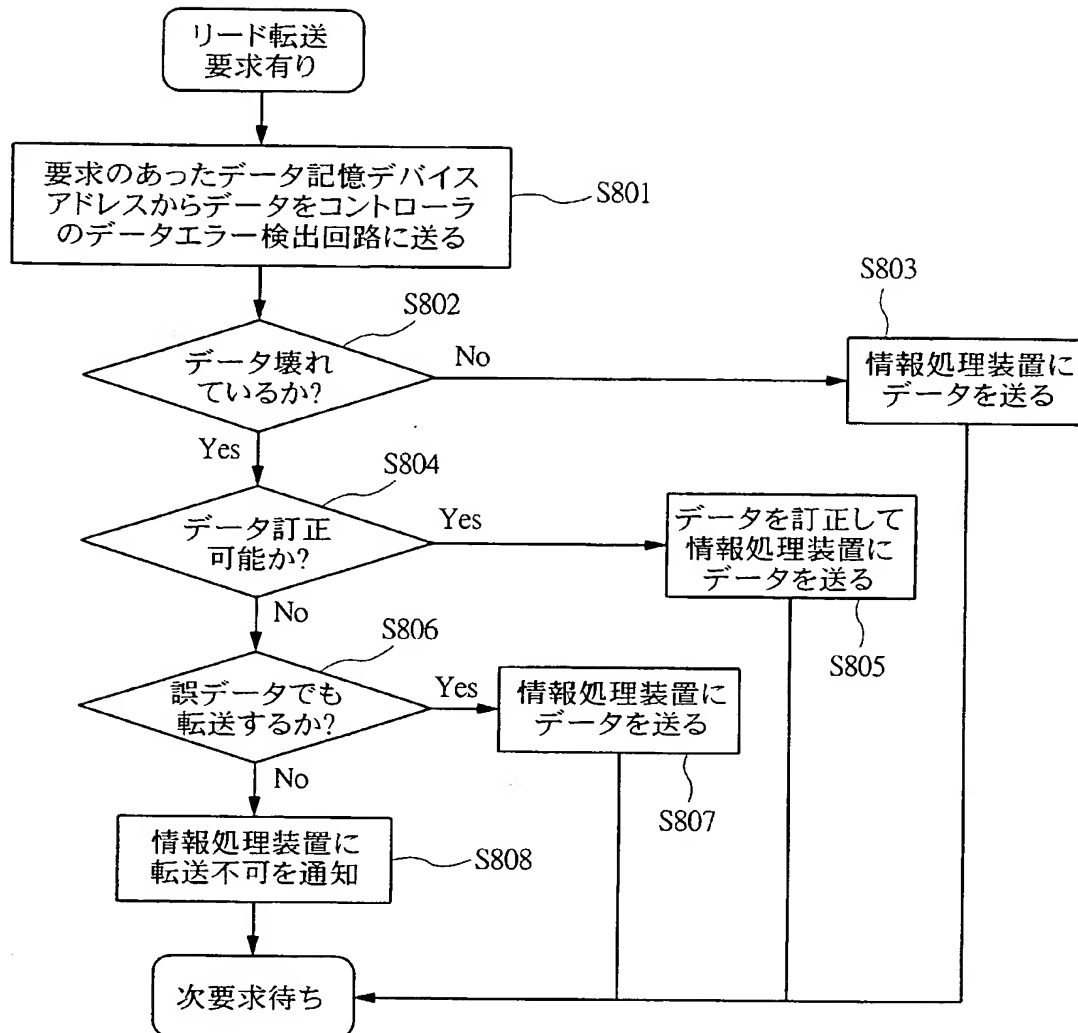
【図 26】

図 26



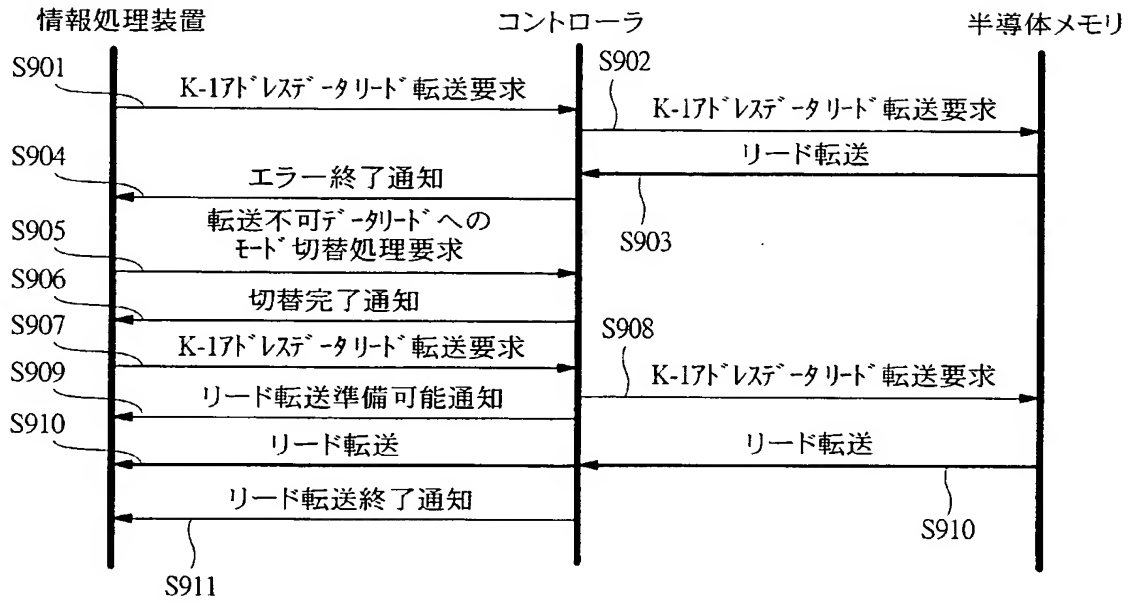
【図 27】

図 27



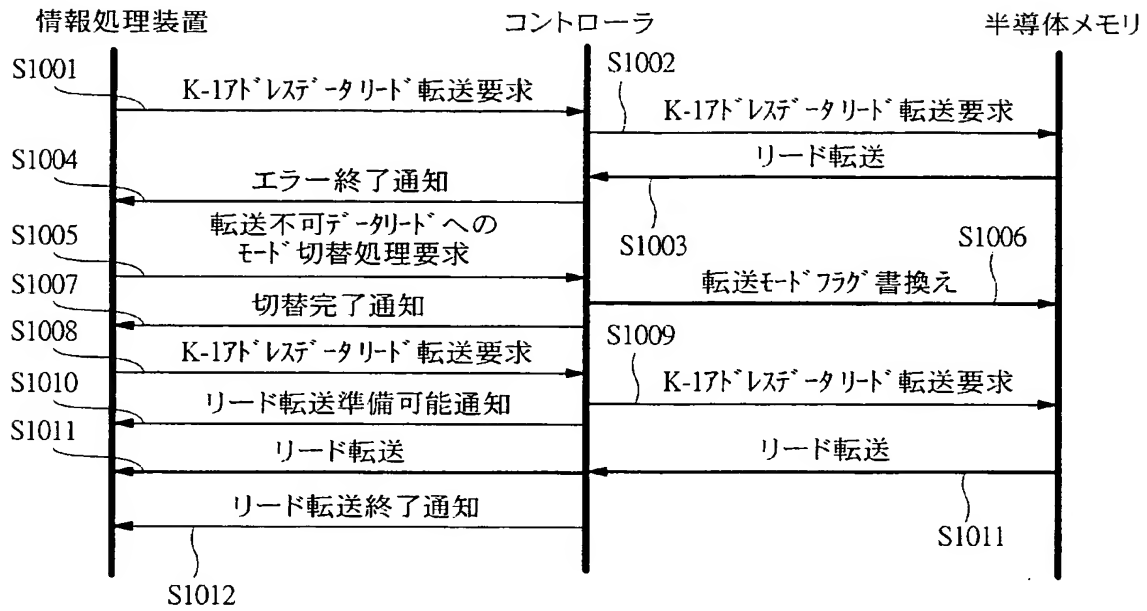
【図 28】

図 28



【図 29】

図 29



【図 30】

図 30

15

半導体メモリ		
アドレス	データ記憶領域	エラー検出用データ領域
0	ユーザデータ(0)	検出データ(0)
1	ユーザデータ(1)	検出データ(1)
⋮	⋮	⋮
k-1	ユーザデータ(k-1)	検出データ(k-1)
k	ユーザデータ(k)	検出データ(k)
⋮	⋮	⋮
n-1	ユーザデータ(n-1)	検出データ(n-1)
n	転送無効フラグ	検出データ(n)

【図 31】

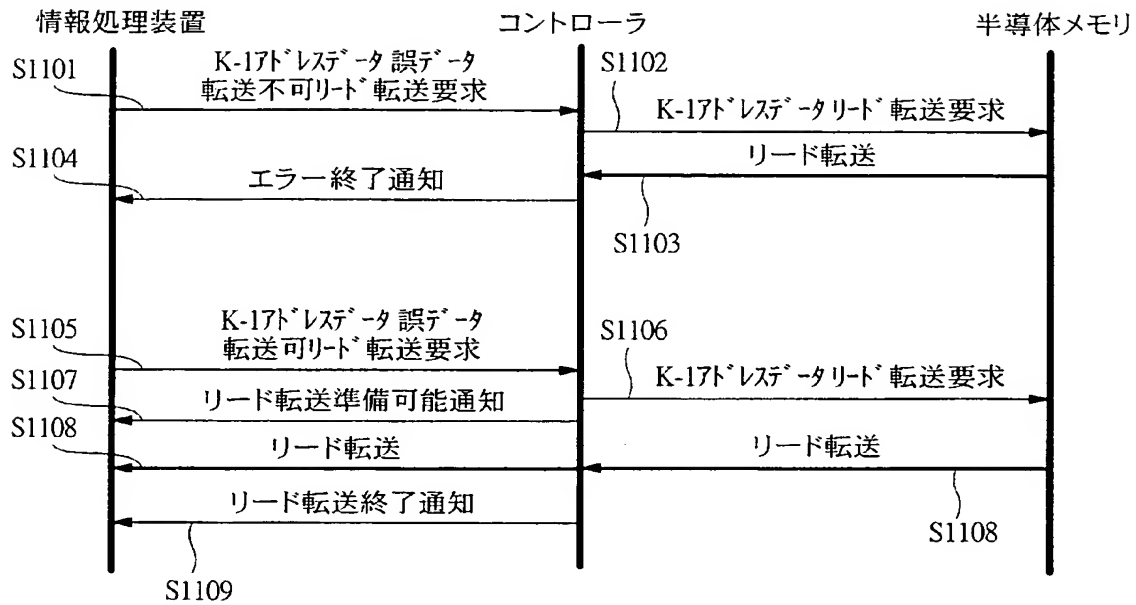
図 31

15

半導体メモリ		
アドレス	データ記憶領域	エラー検出用データ領域
0	ユーザデータ(0)	検出データ(0)
1	ユーザデータ(1)	検出データ(1)
⋮	⋮	⋮
k-1	ユーザデータ(k-1)	検出データ(k-1)
k	ユーザデータ(k)	検出データ(k)
⋮	⋮	⋮
n-1	ユーザデータ(n-1)	検出データ(n-1)
n	転送有効フラグ	検出データ(n)

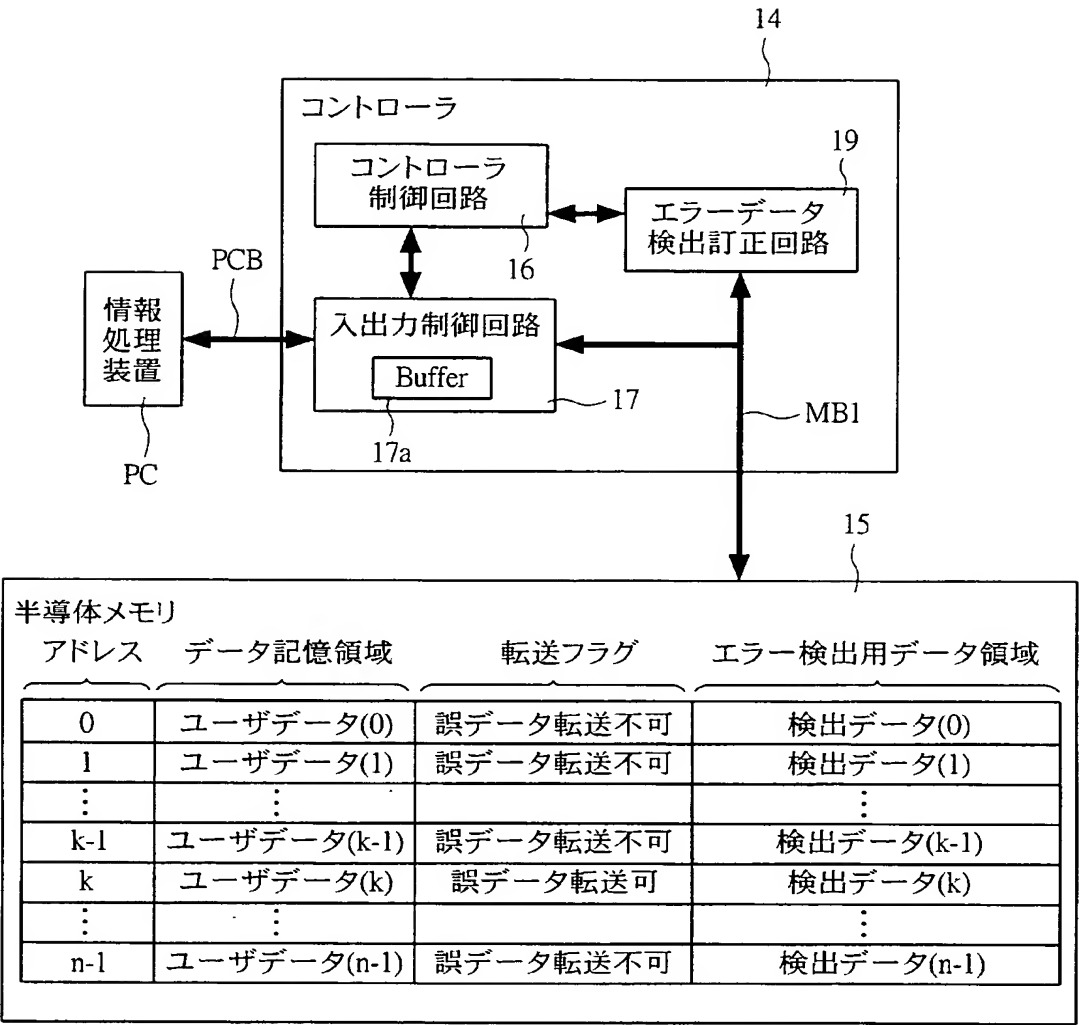
【図 32】

図 32



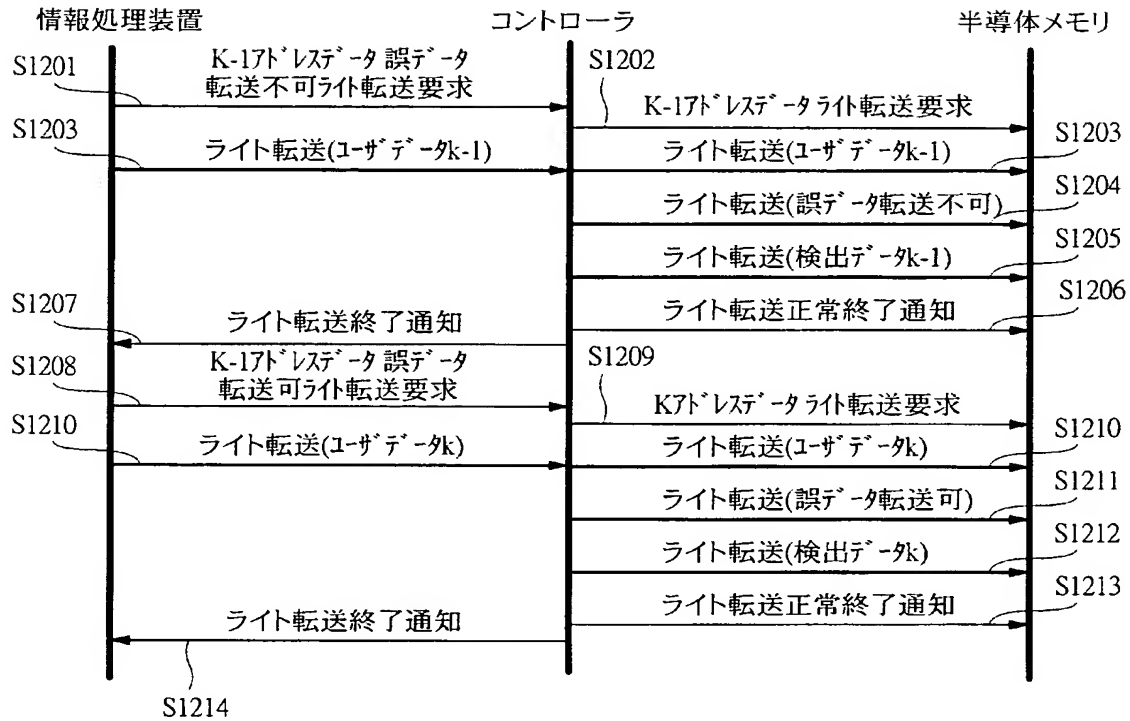
【図 33】

図 33



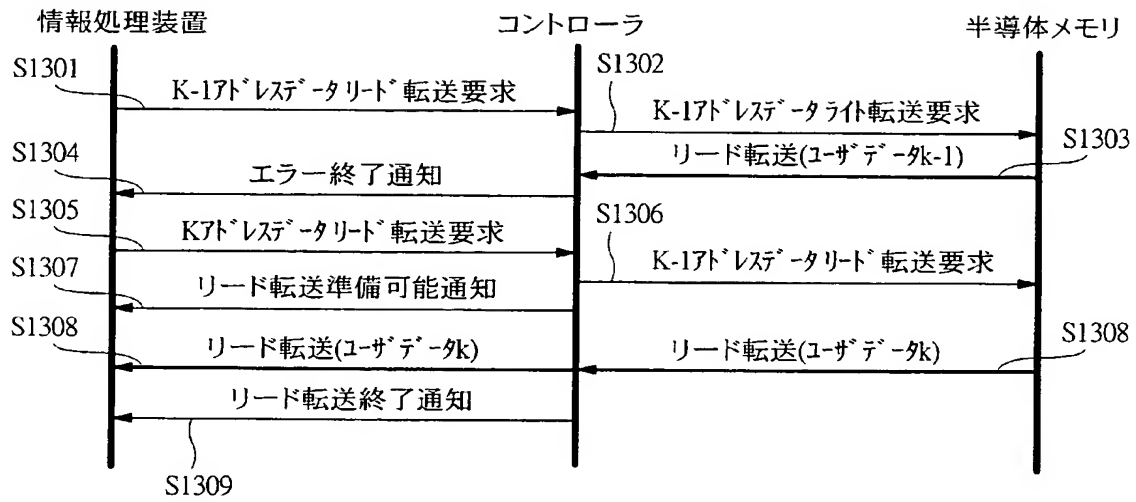
【図 34】

図 34



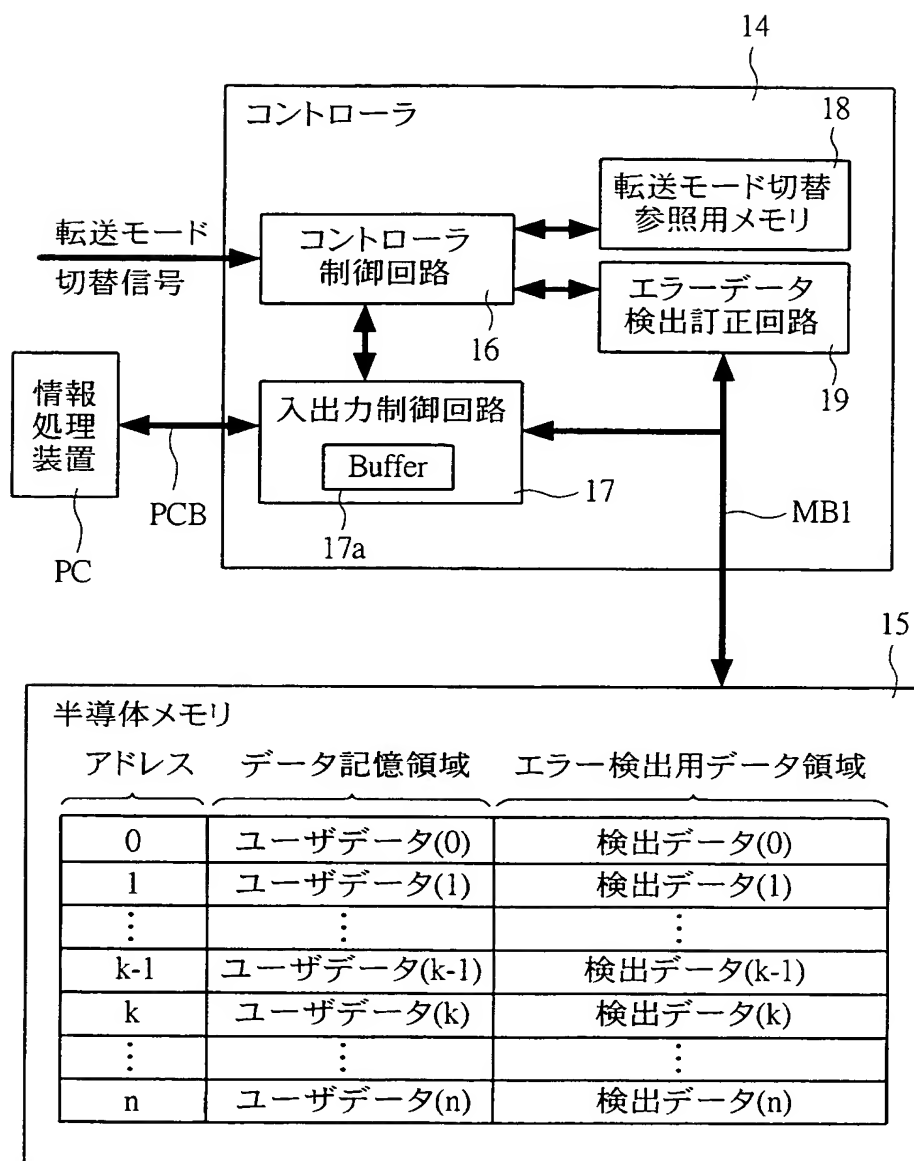
【図 35】

図 35



【図 36】

図 36



【書類名】 要約書

【要約】

【課題】 データの転送処理中であっても、緊急停止要求に基づいてデータを確実に保護し、信頼性を大幅に向上する。

【解決手段】 メモリカードなどからなるデータ記憶装置 1 であって、データのリード／ライト転送処理中に、ホストの情報処理装置 P C から緊急停止を要求する緊急停止信号が入力されると、コントローラ制御回路 4 は直ちに転送処理を中止し、リードデータ転送終了を情報処理装置 P C に対して通知する。このとき、リードデータ転送終了の通知は、正常終了、または異常終了のいずれであってもよい。リードデータ転送終了を情報処理装置 P C に対して通知した後、再び情報処理装置 P C からリードデータの転送要求があっても、コントローラ 2 はデータを転送することなく、リードデータの転送不可能を情報処理装置 P C に対して通知する。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 30694

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 7 1 7 6 7 号 同日提出の出願人名
義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 3 0 6 9 4
受付番号	5 0 3 0 1 1 9 4 9 8 0
書類名	出願人名義変更届（一般承継）
担当官	末武 実 1 9 1 2
作成日	平成 1 5 年 9 月 4 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 18 日

特願 2 0 0 3 - 0 3 0 6 9 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]


新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所



特願 2 0 0 3 - 0 3 0 6 9 4

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ